

集成电路和功率器件抗辐射 工艺加固技术研究综述

李 博^{1,2,3,*}, 王 磊^{1,3}, 刘凡宇^{1,3}, 陈思远^{1,3}, 陆 江^{1,3}, 舒 磊^{1,3}

(1. 中国科学院微电子研究所, 北京 100029;

2. 中国科学院大学, 北京 100049;

3. 中国科学院抗辐射器件技术重点实验室, 北京 100029)

摘要: 随着我国空间装备的高速发展, 尤其是深空探测器, 微电子器件抗辐射性能得到广泛关注。抗辐射工艺加固是实现器件抗辐射性能提升的重要途径之一。本文围绕空间总剂量效应和单粒子效应, 对近年来集成电路和功率器件辐射效应机理和工艺加固技术的研究进展进行了介绍和总结, 为抗辐射工艺加固技术的发展与应用提供了有益参考。

关键词: 工艺加固; 总剂量效应; 单粒子效应; 集成电路; 功率器件

中图分类号: TL99; TN386.1 文献标志码: A 文章编号: 1000-6931(2024)S2-0512-15

doi: 10.7538/yzk.2024.youxian.0435

Review of Radiation Hardening by Process Technology in Integrated Circuit and Power Device

LI Bo^{1,2,3,*}, WANG Lei^{1,3}, LIU Fanyu^{1,3}, CHEN Siyuan^{1,3}, LU Jiang^{1,3}, SHU Lei^{1,3}

(1. Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China;

3. Key Laboratory of Science and Technology on Silicon Devices,

Chinese Academy of Sciences, Beijing 100029, China)

Abstract: With the rapid development of aerospace equipment and utilization, especially deep space probes, the radiation hardening level of microelectronics has been widely concerned. Radiation hardening by process technology is one of important methods to improve radiation tolerance of spaceborne electronics. In this paper, the recent research progress on the radiation mechanisms and radiation hardening by process technology of integrated circuits and power devices are introduced and summarized, focusing on total ionizing dose effects and single event effects in space. These reviews can provide a useful reference for the development and applications of radiation hardening by process technology.

Key words: radiation hardening by process; total ionizing dose effect; single event effect; integrated circuit; power device

收稿日期: 2024-05-18; 修回日期: 2024-07-24

基金项目: 国家重点研发计划(2022YFB4401700); 国家自然科学基金(U22B2043, 62374184)

* 通信作者: 李 博

随着空间站常态化运行、科学卫星密集部署、探月工程稳步推进等空间探索任务持续推进,我国航天强国建设正在阔步前行。未来我国将稳步推进深空探测计划,探月、探火、行星探测等任务将更加频繁,空间探测范围将由近地行星迈向太阳系边缘。

航天装备电子学系统的核心是抗辐射器件。空间环境中的高能粒子和射线与微电子器件相互作用,高能粒子/射线在器件内的能量沉积可诱发总剂量和单粒子等一系列辐射效应,导致器件性能退化甚至失效。据我国航天部门、美国 NASA 和欧洲 ESA 等机构统计,空间辐射效应造成的航天器故障占总故障的 45% 左右,居航天器各类故障之首。同时,随着抗辐射器件技术的发展,抗辐射集成电路工艺节点已迈进纳米尺度,新材料、新工艺、新架构器件层出不穷,总剂量效应、单粒子效应均出现了新的失效机制。在总剂量效应方面,多层异质薄膜器件、三维集成器件等新型纳米器件结构复杂,隔离氧化物、埋氧中的辐射诱生电荷对器件漏电和性能退化的影响无法忽略。在单粒子效应方面,集成电路工艺节点从微米级微缩至纳米级,器件栅电容小于 0.1 fF,器件间距小于 50 nm,极易发生多位电荷收集导致多位翻转效应;器件工作频率从 MHz 提高至 GHz,高能粒子引起的电离电荷时空分布对电路中脉冲电流关键路径的影响愈发显著;功率器件电场强度从 kV/cm 量级增加到 MV/cm 量级,电离电荷引起的雪崩效应与热效应耦合增强,使得单粒子烧毁、单粒子栅穿概率大幅增加,因此对先进航天元器件抗辐射加固技术的研究至关重要。

抗辐射加固技术是指通过设计和测试确保电子系统在辐射环境中完成规定任务的成套技术,是保障航天装备长期安全可靠运行的共性关键技术。在该领域,西方国家长期持续投入,并对我国产品禁运和技术封锁。随着航天器装备电子系统的复杂度、集成度大幅提升,辐射效应导致的空间装备故障频发、寿命缩短等问题越来越显著。对于微电子器件,有效的抗辐射加固方法主要包括工艺加固、版图加固和电路设计加固。其中,工艺加固因其对微电子器件抗辐射能力提升显著被广泛研究,其内涵是在器件制造过程中采用特殊的抗辐射材料,或设计抗辐射器件结构,亦或增加额外的抗辐射制造工艺步骤,以提高器件的抗

辐射能力^[1-4]。本文对集成电路和功率器件的抗辐射工艺加固技术进行介绍和总结。

1 集成电路抗辐射工艺加固技术

1.1 总剂量工艺加固技术

总剂量效应主要物理机制包含 4 个过程: 1) 辐射电离效应产生电子-空穴对; 2) 空穴在电场作用下跳跃运输; 3) 氧化层陷阱空穴俘获; 4) 硅/氧化层界面陷阱生成, 示意图如图 1 所示。从物理机制上分析,总剂量效应主要在氧化层中以及硅/氧化层界面产生电荷和缺陷,进而引起器件的阈值电压漂移、跨导降低和关态漏电增大等。一般来说,大工艺节点器件的氧化物厚度大于 10 nm,需采用特殊工艺减少空穴陷阱的数量或增加深能级电子陷阱和复合中心数量,以减少正电荷的数量,形成有效的总剂量加固策略^[5]。而在 0.25 μm 及更小特征尺寸的工艺中,由于栅氧化层厚度小于 10 nm,栅氧化层陷阱电荷对器件性能的影响可以忽略,因此在先进体硅工艺中要重点考虑浅沟槽隔离(STI)层中电荷俘获导致的器件边缘漏电。在绝缘体上硅(SOI)器件中,除了 STI 层等外,埋氧化(BOX)层也对总剂量效应具有一定敏感性,因此 STI 层和 BOX 层是 SOI 器件总剂量效应的主要敏感区域。

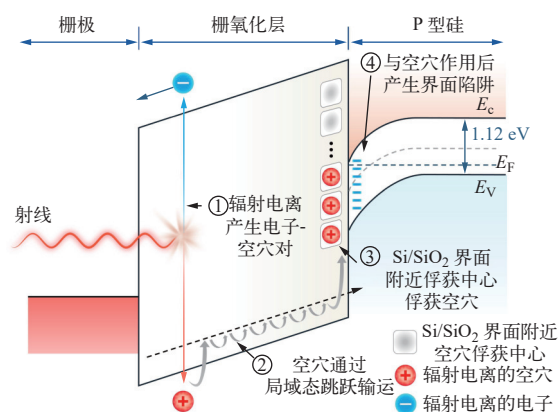


图 1 N 型 MOS 栅氧化层界面总剂量效应机制示意图
Fig. 1 Schematic diagram of total ionizing dose effect at interface of N-type MOS

1.1.1 BOX 层总剂量工艺加固技术 近年来,基于总剂量效应的产生原理,国内外学者针对 BOX 层探索了多种加固策略以提升器件的抗总剂量能力,可以归纳为两种主要加固方式:一是减少辐射产生的感生电荷数量;二是减轻感生电荷

对器件的影响。

减少辐射感生电荷数量可实现总剂量加固。早期 BOX 层加固主要是通过减薄其厚度来实现减少辐射感生电荷数量。2003 年, Gouker 等^[5]对全耗尽绝缘体上硅(fully depleted silicon-on-insulator, FDSOI)器件受 X 射线辐照后性能变化开展了研究, 发现 BOX 层厚度减薄后可以减少陷阱电荷数量, 抗总剂量能力显著提升。此外, 通过向 BOX 层注入 Si、N、O、B、Al 等离子, 引入电子陷阱或复合中心, 同样可以减少辐射感生电荷数量^[6-7]。然而注入非 Si 离子可能会污染顶层 Si 功能层, 并增加器件击穿的可能性, 因此通常采用 Si 离子注入以避免污染。Si 粒子注入后会在 BOX 层形成硅纳米团簇, 在 SiO₂ 的带隙中产生缺陷能级, 可形成电子陷阱捕获电子^[8-9], 以中和辐射产生的正电荷, 达到减少辐射感生电荷数量的目的。2014 年, Huang 等^[10]提出利用多步 Si 离子注入与快速热退火相结合的方法, 可有效减少辐射引起的氧化物和界面态陷阱电荷数量, 其制作的赝 MOS(pseudo-MOS)在 1 Mrad(Si) 辐照后阈值电压漂移 2.5 V, 而未加固的赝 MOS 阈值电压漂移达

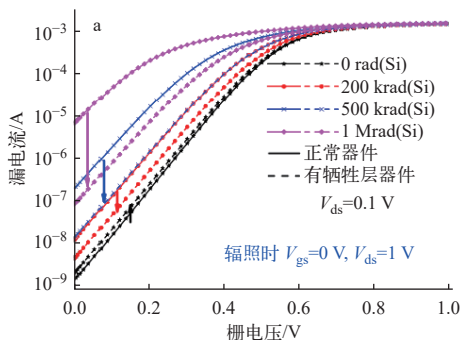


图 3 BOX 层中引入“牺牲层”的器件辐照前后 I_d-V_g (a) 和电场及空穴俘获电荷-位置(b)曲线^[12]

Fig. 3 I_d-V_g (a) and electric field and hole trapping charge-position (b) curve before and after irradiation for device with insulator layer introduced in BOX^[12]

减轻辐射感生电荷对器件的影响也可以实现总剂量加固。工艺加固方法也很多, 例如通过在背沟道中重掺杂 B 元素, 减小背沟道的耗尽区宽度, 提高背栅阈值电压, 提升器件的抗总剂量能力^[13]。或者改变器件结构来缓解感生电荷对晶体管性能的影响, 例如采用 BUSFET(body-under-source field effect transistor)结构^[14], 该结构特点是源漏非对称且源端掺杂不彻底, 避免了背沟道导

到 70 V, 该方法显著提升了器件的抗辐射能力。有报道称采用低剂量氮氧共注方法可以在 SOI 器件中形成含氮氧化物界面, 进而增强 BOX 层的抗辐射性能^[11]。也有学者提出了一种新的加固方法, 即在 BOX 层中插入 Si₃N₄“牺牲层”控制俘获电荷位置^[12], 降低沟道附近的电场, 进而降低俘获空穴的数量, 器件横截面示意图^[12]如图 2 所示。由于 SiO₂ 与 Si₃N₄ 势垒的存在, 陷阱空穴仅聚集在 5 nm 厚的 SiO₂ 中, 有效减少总剂量效应诱导的漏电流(图 3), 进而增强器件的抗总剂量能力。

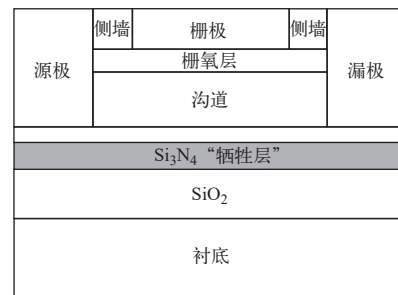
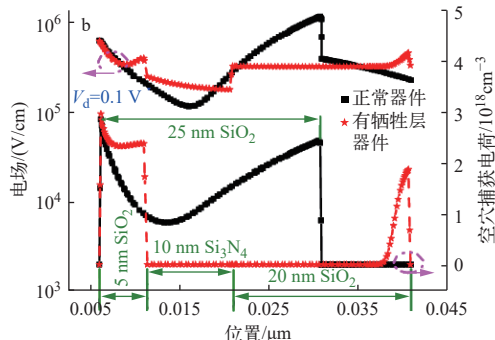


图 2 具有 Si₃N₄“牺牲层”的 FDSOI NMOS 器件的横截面示意图

Fig. 2 Cross-section schematic diagram of FDSOI NMOS with Si₃N₄ insulator layer



电通路的形成, 以实现总剂量加固。类似的, Luo 等^[15]通过浅源区和深漏区设计, 成功消除了 BOX 层中感生电荷引起的背沟道泄漏。此外, 采用 Ω -gate^[16] 以及 Multiple-gate^[17-18] 等非平面器件可以提高栅控能力, 获得更好的抗总剂量效果。利用 GAA(gate-all-around)^[19]、SOI FinFET^[20] 等新型器件结构也同样能够实现加固。

1.1.2 STI 层总剂量工艺加固技术 总剂量效应

诱导 NMOS STI 层产生空穴陷阱电荷, 形成从源到漏的侧墙漏电路径, 同时靠近沟道的 STI 层侧壁形成寄生晶体管, 如图 4 所示。正陷阱电荷使寄生晶体管开启, 导致器件的阈值电压降低, 进而引发性能的退化。2018 年, Peng 等^[21]探讨了针对 SOI 器件 STI 层的辐射加固方法, 发现通过 Si 离子注入 STI 层提高寄生晶体管阈值电压实现总剂量加固, 并指出 Si 离子注入条件、退火温度是提升加固性能的关键。2019 年, 彭超等^[22]仿真评估了 130 nm 节点 SOI 器件 STI 层中陷阱电荷对器件电学性能的影响。结果表明, STI 层较小的凹槽深度和更陡峭的侧壁, 有利于器件的抗总剂量能力的提升。在器件结构方面, 可以使用特殊的栅极结构, 如 H 型栅、Z 型栅、S 型栅、环形栅和 P⁺隔离结构 (SPGR) 等^[23-25], 将器件沟道与 STI 层进行隔离以消除漏电流路径, 阻断寄生晶体管导通, 进而降低陷阱电荷引起的器件参数退化, 实现器件的抗辐射加固。

1.1.3 新型总剂量工艺加固技术 背栅施加电压可以抑制或补偿氧化物陷阱电荷的产生, 是 SOI 器件的加固途径之一。SOI 器件可通过衬底

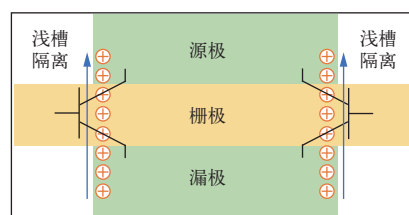


图 4 STI 层侧壁形成的漏电路径和寄生晶体管示意图

Fig. 4 Schematic diagram of leakage path and parasitic transistor formed by STI

中的接地平面施加背偏电压, 但不同接地平面间采用 PN 结隔离, 难以实现晶体管级粒度的单独调控, 造成补偿不足或过补偿现象。此外, 基于体结偏置 (body-tie biasing) 和体引出 (body contact) 接地也能实现总剂量加固, 但调制效率较低^[26-27]。针对上述问题和不足, 中国科学院微电子研究所提出了可配置 SOI (configurable-SOI, CSOI) 技术, 通过对 CSOI 器件的配置层施加相应的偏置电压, 不仅抑制了背栅晶体管的开启, 而且补偿了绝缘层辐射诱生陷阱电荷对前栅晶体管的影响。值得一提的是, 不同于全耗尽 SOI 结构单一的背栅调控机制, CSOI 器件独立的背栅调控特性可提高电路抗辐射加固设计的灵活性, 如图 5 所示。

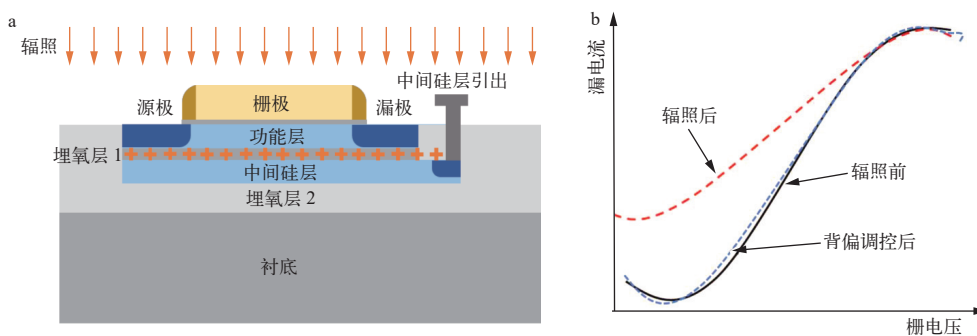


图 5 CSOI 器件 (a) 和背偏调控特性 (b) 示意图

Fig. 5 Structure schematic of CSOI device (a) and back bias control characteristic (b)

中国科学院上海微系统与信息技术研究所提出了内嵌空腔 SOI (void embedded SOI, VESOI) 衬底用于总剂量效应加固^[28]。通过去除 BOX 层中大部分辐射敏感区域, 降低了 BOX 层中的陷阱电荷数量, 结构如图 6 所示。相较于传统 SOI 器件, VESOI MOSFET 的抗总剂量能力显著提升: 在 2 Mrad(Si) 辐照剂量下, 阈值电压漂移和亚阈值摆幅退化量仅为 -38.9 mV 和 11.6 mV/dec。VESOI 衬底展现了与平面 CMOS 工艺的高度兼容性及多

样化内嵌空腔设计的巨大潜力。

1.2 单粒子工艺加固技术

单粒子效应按物理机制分为 3 个主要过程: 1) 粒子能量沉积; 2) 电离电荷产生; 3) 电离电荷收集。入射到半导体材料内的高能粒子与电子、原子核发生库仑作用而损失能量, 最终入射粒子停留在材料中。粒子的能量损失以核外电子阻止为主, 入射粒子将能量传递给核外电子, 并将电子激发至导带, 形成电子-空穴对。电子-空穴对在电

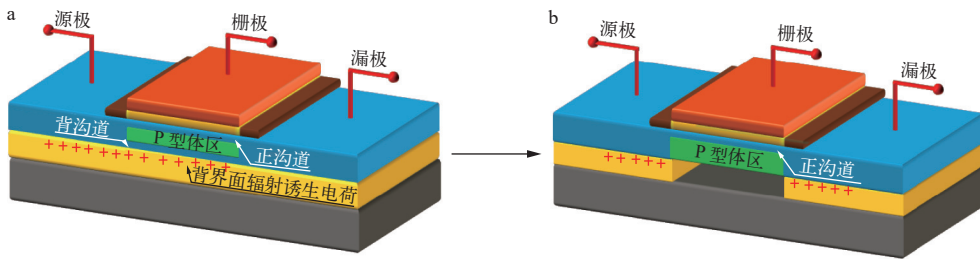


图6 基于SOI衬底(a)与VESOI衬底(b)的N型MOSFET结构

Fig. 6 N-type MOSFET structure based on SOI substrate (a) and VESOI substrate (b)

场作用下沿漏斗方向收集,从而沿径迹方向形成漏斗电场^[29],如图7所示^[30]。非平衡载流子的收集宏观表现为瞬态电流脉冲的形成,当瞬态电流脉冲幅度达到一定程度时就会触发各类单粒子效应。

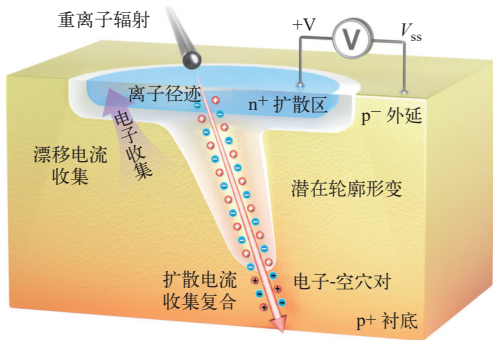


图7 漏斗效应下电荷收集机制示意图
Fig. 7 Schematic diagram of charge collection mechanism of funnel effect

基于以上单粒子效应物理机制的分析,单粒子效应加固方法主要分为两类:一是减少辐射电

离电荷的收集量;二是增加器件的临界电荷量。单粒子工艺加固主要是减少辐射电离电荷的收集量,其也可以分为两类:一是减少电荷收集灵敏体积;二是抑制寄生双极管效应。下面将分别对两类工艺加固方法进行阐述。

1.2.1 减少电荷收集灵敏体积 首先可以改变晶体管的结构来减小电荷收集灵敏体积。图8a所示为一种缺口体接触结构^[31]。该结构减小了有源区的面积,同时缩小了漏端与体引出连接处的面积,从而减少了收集电荷灵敏体积。对比图8b、c峰值漏电流情况可以发现^[31],该体接触结构的峰值漏电流约为常规T型栅体接触结构的三分之一。其次可以通过衬底工程减小电荷收集灵敏体积。例如在衬底中使用重掺杂的电荷阻挡层,减少电荷收集量^[32]。同理,减薄SOI器件的有源层也可以限制收集电荷的灵敏体积^[33]。Aditya等^[34]发现FDSOI器件硅膜越薄其抗单粒子性能越好,这是因为FDSOI器件硅膜越薄,器件中可以收集电荷的灵敏体积越小。

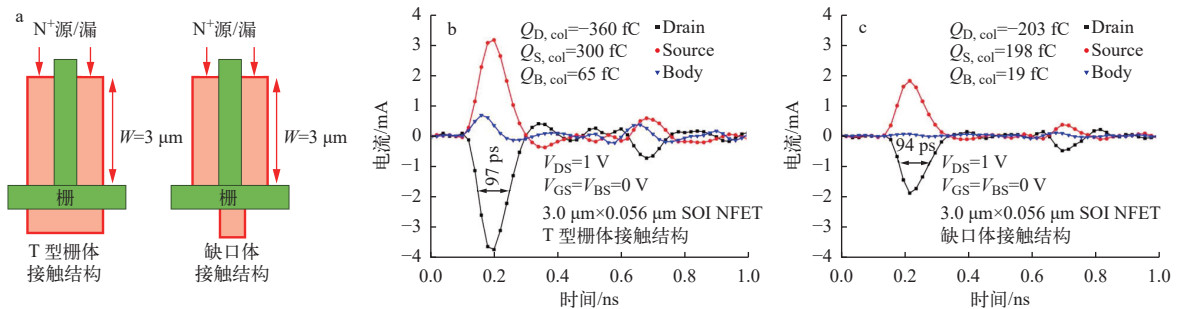


图8 T型栅体接触结构与缺口体接触结构对比图(a),T型栅体接触结构(b)和缺口体接触结构(c)的瞬态脉冲

Fig. 8 Comparison diagram of T-body and notched-body contact structure (a), transient pulse of T-body (b) and notched-body (c)

1.2.2 抑制寄生双极管效应 首先通过体区加偏置控制寄生双极管效应可以有效抑制单粒子效应。Hirose等^[35]通过体区引出来减少电荷的收集

量,其效果如图9所示。其次通过器件结构优化,也可以减少寄生双极管效应。Huang等^[13]提出一种嵌入式隧道二极管器件,其源端相连的部分形

成隧穿二极管用来释放辐射产生的非平衡载流子, 寄生双极管增益被有效抑制。Xu 等^[36]提出隧

道二极管体接触 SOI MOSFET 有效消除了源于浮体效应引起的双极增益的增大。

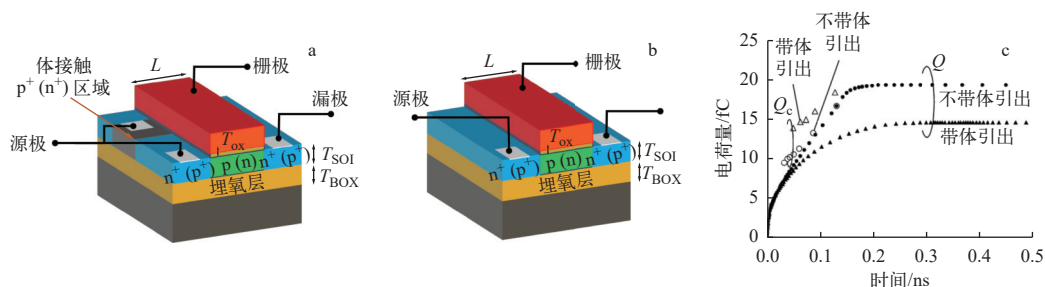


图 9 带体引出(a)和不带体引出(b)的 SOI 器件及漏端收集的电荷量和时间的关系(c)

Fig. 9 SOI device with (a) and without (b) body contact and relationship between drain-collected charge and time (c)

再有, 通过提高栅控能力也可以有效减小寄生双极管效应。双栅结构^[37]可以从两个方向对沟道进行控制, 提升栅对体电位的控制能力, 减小了寄生双极增益, 从而抑制单粒子效应, 如图 10 所示。同理, Pasupathy 等^[38]提出了一种新结构, 是在减薄 BOX 层的同时在 BOX 层下增加一个高掺杂区域即接地层, 减少了源端和漏端之间的静电耦合^[39], 增强了栅控能力, 抑制了双极晶体管效应, 进而提高了抗单粒子效应能力。中国科学院微电子研究所提出的 CSOI 结构同样可以通过可

配置层调控有源区内辐射产生电子-空穴对的运输, 抑制寄生双极管效应, 实验结果如图 11 所示。在激光模拟单粒子实验中, CSOI 器件施加配置层偏压可以有效抑制单粒子效应, 同时在线性能量转移(LET)值高达 118 MeV·cm²/mg 重离子入射的情况下, CSOI 静态随机存储器电路通过施加配置层调控可实现无单粒子翻转。

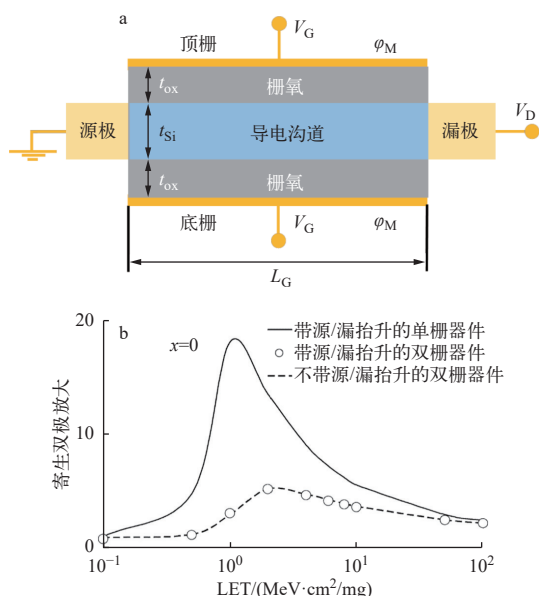


图 10 双栅器件结构图(a)和不同 LET 值下双栅器件和单栅器件的寄生双极增益对比曲线(b)^[37]

Fig. 10 Structure diagram of double-gate device (a) and comparison curve of parasitic bipolar gain between double-gate and single-gate device under different LET values (b)^[37]

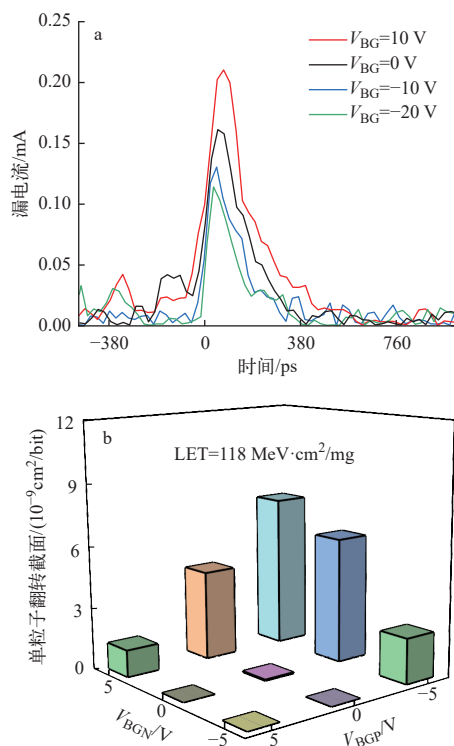


图 11 不同配置层偏压下 CSOI 器件瞬态电流典型曲线(a)和 CSOI SRAM 电路的单粒子翻转截面变化(b)

Fig. 11 Typical transient current curve of CSOI device (a) and single event upset cross-section variation of CSOI SRAM circuit (b) under different configuration layer biases

2 功率器件抗辐射工艺加固技术

2.1 硅基功率器件抗辐射工艺加固技术

2.1.1 LDMOS 抗辐射工艺加固技术 横向扩散金属氧化物半导体(laterally diffused metal oxide semiconductor, LDMOS)功率器件的总剂量失效机理为辐射在氧化物产生陷阱电荷导致的器件性能退化^[40-44]。单粒子烧毁失效机理是高能粒子入射到器件内部产生电子-空穴对,诱使器件寄生双极性开启所致^[45-46],单粒子栅穿失效机理为高能粒子诱生的电子-空穴对使得 Si/SiO₂ 表面电场瞬间增大,导致栅介质击穿^[40]。

基于 LDMOS 功率器件的总剂量失效机理,可通过优化终端工艺和氧化物工艺来提升器件的抗漏电和阈值电压退化能力^[47-48],可通过优化漂移区掺杂工艺^[49-50]、BOX 层工艺^[51-52]和埋入式 P 侧柱工艺来提高器件的抗击穿电压退化能力^[53-54]。

针对 LDMOS 功率器件的单粒子失效机理,可通过超结工艺^[55]、BOX 层和 buffer 层工艺^[56-58]、P 型和 N 型掺杂工艺^[59-60]以及漂移区掺杂工艺^[61-62]提高 LDMOS 功率器件的抗单粒子烧毁能力。图 12 对比了传统 LDMOS 功率器件和加固 LDMOS 功率器件受到高能粒子轰击后漏电流随时间的变化曲线^[60],从图 12 中可以看出,在 LET 为 0.2 pC/ μm 、偏置电压为 290 V 时,传统 LDMOS 功率器件发生单粒子烧毁,但加固 LDMOS 功率器件在相同条件下未发生单粒子烧毁^[60]。图 13 所示为传统 SiO₂ 栅氧 LDMOS 功率器件和高 κ 栅氧 LDMOS 功率器件单粒子栅穿效应对比^[50],通过对比两种类型 LDMOS 功率器件的电场结果可知,在受到高能粒子轰击后,部分高 κ 栅氧 LDMOS 功率器件栅氧上的电场峰值远小于 SiO₂ 栅氧 LDMOS 功率器件栅氧上的电场峰值^[40],其中采用 HfO₂-SiO₂ 栅介质的 LDMOS 与传统 LDMOS 相比,其击穿电压增加 20.09%。因此部分高 κ 栅氧介质可以有效改善 LDMOS 器件的单粒子烧毁效应。

2.1.2 VDMOS 抗辐射工艺加固技术 垂直双扩散金属氧化物半导体(vertical double-diffused metal oxide semiconductor, VDMOS)功率器件具有较小的尺寸、较好的开关特性和击穿特性等优势,被广泛应用于医疗及航空航天等领域^[63]。当 VDMOS 功率器件工作在辐射环境中同样会受到总剂量效应和单粒子效应的影响^[64]。总剂量效应会导致器件的阈值电压和击穿电压发生退化^[65]、

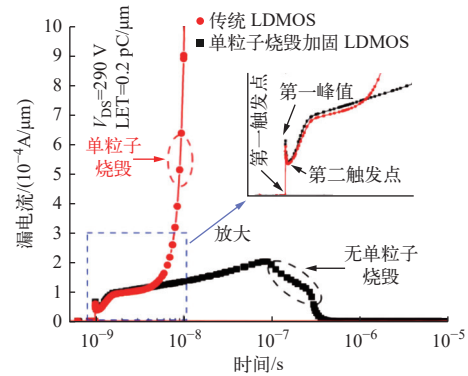


图 12 LDMOS 功率器件单粒子烧毁效应对比

Fig. 12 Comparison of single event burnout effect for LDMOS

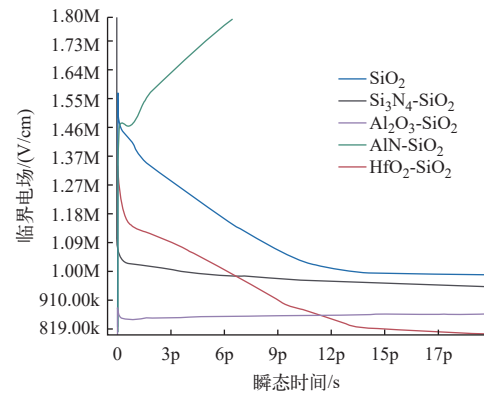


图 13 LDMOS 功率器件单粒子栅穿效应对比

Fig. 13 Comparison of single event gate rupture effect for LDMOS

关态漏电增加^[66-67]。单粒子效应主要是因单粒子烧毁和单粒子栅穿效应而导致的器件失效^[68]。

VDMOS 功率器件的总剂量失效机理主要是辐射在氧化物产生陷阱电荷所致^[69-70],结合其失效机理,可通过改变工艺步骤和改善工艺条件来提高 VDMOS 功率器件的栅氧质量,常用的加固方法有 SOI 隔离工艺加固^[71]、STI 工艺加固以及鸟嘴(LOCOS)厚栅氧工艺加固^[69]等。

VDMOS 功率器件的单粒子烧毁失效机理为高能粒子在器件内产生大量的电子-空穴对,这些非平衡载流子的漂移和扩散会导致寄生在器件内部的双极性晶体管开启,引起源漏短路进而引发器件烧毁^[72-73]。图 14 所示为 VDMOS 功率器件的单粒子烧毁机理^[73],图 14 中红色标识的二极管为寄生双极性晶体管。针对 VDMOS 的单粒子烧毁失效机理,可通过外延 buffer 加固^[74]、局部 SOI 加固^[75]、窄 neck 区加固^[76]和载流子寿命调制加固^[77]等方法来提高 VDMOS 功率器件的抗单粒子烧毁能力。图 15 所示为 VDMOS 功率器件单粒子烧

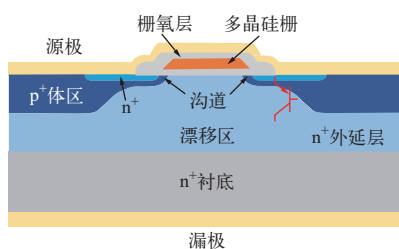


图 14 VDMOS 功率器件单粒子烧毁机理

Fig. 14 Mechanism of single event burnout for VDMOS

毁效应局部 SOI 加固方法^[75], 加固前后器件的抗单粒子烧毁能力的对比结果如图 16 所示^[75]。在偏置电压为 80 V 时, 相同高能粒子轰击器件后, 未加固器件会发生单粒子烧毁失效, 但局部 SOI 加固后的器件在相同偏置电压条件下未发生失效^[75]。

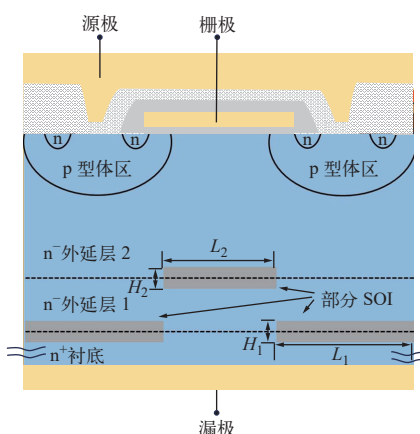


图 15 VDMOS 功率器件单粒子烧毁效应局部 SOI 工艺加固方法

Fig. 15 Local SOI process hardening method for single event burnout effect of VDMOS

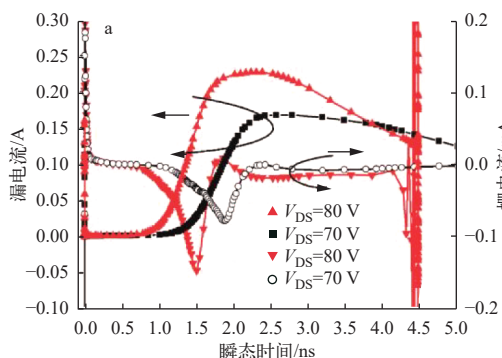
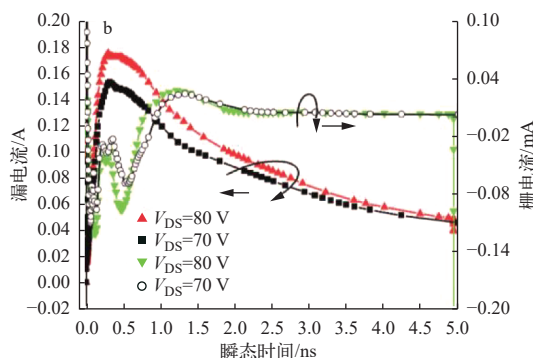


图 16 加固前(a)、后(b)VDMOS 功率器件的抗单粒子烧毁能力对比

Fig. 16 Comparison of single event burnout effect of VDMOS before (a) and after (b) hardening



VDMOS 功率器件的单粒子栅穿失效机理为高能粒子穿过栅介质层入射到颈区, 在漂移区产生电子-空穴对, 在电场作用下, 形成电荷收集效应, 引起漏极与 Si/SiO₂ 界面局部短路, 导致栅介质电场瞬间增大, 引起栅介质击穿^[78-79]。图 17 所示为高能粒子轰击器件后, 产生的电子-空穴对对 VDMOS 功率器件栅氧作用的示意图^[79]。针对 VDMOS 功率器件单粒子栅穿失效机理, 可通过 P-body 高掺杂加固^[80]、高 κ 栅氧介质加固^[81-82] 以及终端结构多重注入加固^[83] 和 SiO₂ 与氮化硅介质堆叠加固^[84-85] 等提升 VDMOS 功率器件的抗单粒子栅穿能力。图 18 所示为传统 SiO₂ 和高 κ 栅氧加固的对比结果^[81], 可以看到器件受到高能粒子轰击后, 高 κ 栅氧器件上的电场大小明显小于传统 SiO₂ 器件上的电场大小。

2.2 宽禁带半导体功率器件抗辐射工艺加固技术

2.2.1 SiC 功率器件抗辐射工艺加固技术

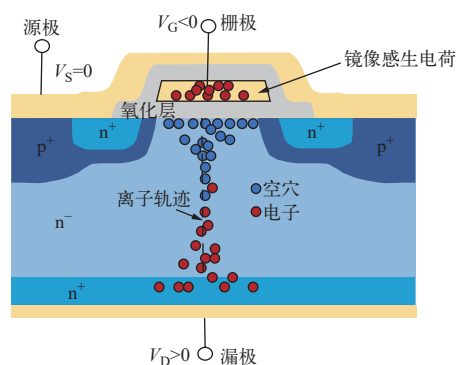


图 17 辐射产生的电子-空穴对对 VDMOS 功率器件的栅氧作用和单粒子栅穿机理

Fig. 17 Effect of electron-hole pair generated by radiation on gate oxygenation of VDMOS and single event gate rupture effect

作为宽禁带半导体材料的典型代表, 相比 Si 材料具有电子饱和速率高、临界击穿电场强、禁带宽度大和热导率高等诸多性能优势^[86]。研制的功率

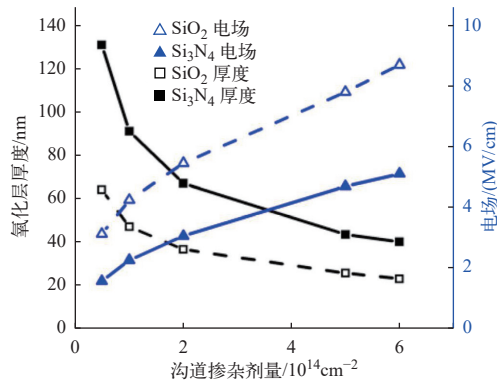


图 18 传统 SiO_2 和高 κ 栅氧 VDMOS 功率器件加固效果对比

Fig. 18 Comparison of hardening effect of VDMOS with traditional SiO_2 and high- κ gate oxide layer

器件具备漏电流小、导通电阻低、功率密度高、工作温度高等优势,特别是在高功率应用范围,综合能效大幅度超越传统 Si 基器件应用范围,在高功率航天电源方面具有广阔的应用前景。SiC 功率器件在空间辐射环境下工作同样面临单粒子烧毁等效应的挑战,如图 19 所示^[86]。

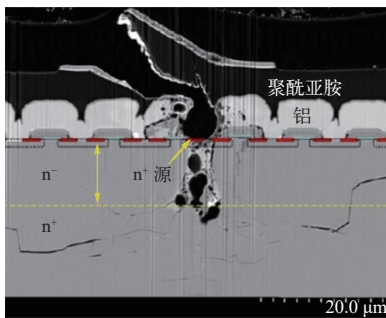


图 19 SiC MOSFET 功率器件单粒子烧毁截面示意图

Fig. 19 Diagram of single event burnout effect in SiC MOSFET

SiC 功率器件与 Si 基功率器件的单粒子烧毁机理相似,寄生 NPN 晶体管开启和瞬态电场转移(Kirk 效应)是导致器件失效的主要原因^[87]。但 Ball 等^[88]对 SiC 功率器件中寄生晶体管开启导致烧毁持怀疑观点,主要是因为 SiC MOSFET 功率器件的本征载流子浓度比 Si 基器件低很多,其 PN 结开启电压(约 3 V)相比 Si 器件开启电压(约 0.7 V)更高,寄生 NPN 管较难开启,因此推断单粒子烧毁效应主要与 Kirk 效应以及瞬态形成的热积累效应相关。高能粒子在 SiC 功率器件中形成瞬态热积累现象类似于 Si 基 IGBT 器件在大电流条件关断时形成的“电流丝(current filament)”效

应,随着温度升高材料热导率退化,热耗散能力降低,瞬时局部达到半导体材料的解离温度,造成烧毁^[89]。此外, SiC MOSFET 功率器件随着偏置电压及辐射粒子能量的增加,会出现不可恢复的漏电流退化现象,是与 Si 基功率器件明显不同的响应特性之一,原因主要是多物理场作用下出现 SiC 晶格损伤,晶格缺陷能级导致局部电流通路,并形成永久漏电损伤特性^[90]。

借鉴 Si 基功率器件抗辐射工艺加固技术, SiC 功率器件同样可以采用增加缓冲层结构的方式来改善 Kirk 效应并且抑制寄生 NPN 晶体管开启,进而提升抗单粒子烧毁能力。如图 20 所示, Wang 等^[91]采用多层缓冲方法,增加局部 n^+ 岛结构来抑制 Kirk 效应,削弱雪崩倍增,可改善器件的单粒子响应可靠性。

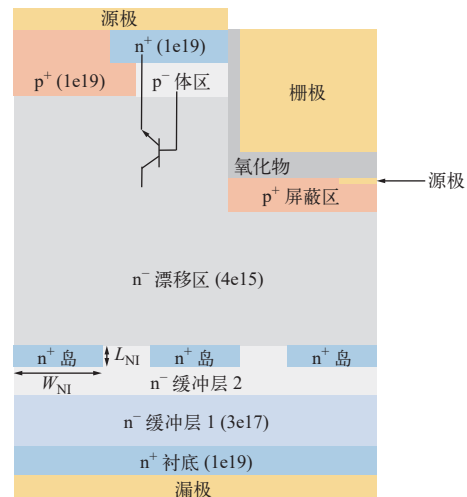


图 20 SiC 功率器件多重缓冲层加固结构

Fig. 20 Multiple buffer layer reinforcement structure of SiC power device

Zhou 等^[92]提出在采用 4 层缓冲层基础上,在器件顶部 JFET 区增加了 p^+ 分裂栅结构用于加速空穴抽取,同时采用源极深槽结构与电流扩散层结合的方式调制器件导通电阻,如图 21 所示^[92]。通过上述优化手段,在实现了器件低导通电阻特性的同时增强了器件抗单粒子烧毁能力。

2.2.2 GaN 功率器件抗辐射工艺加固技术 GaN 功率器件具有体积小、效率高、频率快等特性,在空间电源系统小型化等趋势下具有广阔的应用前景。与 SiC 功率器件相同, GaN 功率器件的空间应用同样面临致命性的单粒子烧毁问题。

GaN 功率器件的单粒子烧毁效应机理同样与

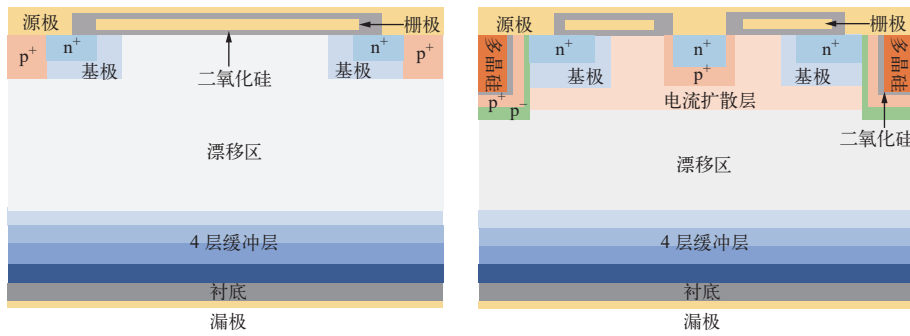


图 21 SiC 功率器件 4 层缓冲层和低阻器件结构

Fig. 21 SiC power device with 4 buffer layers and low resistance device structure

高能粒子诱发的大量电子-空穴对有关。研究表明,在 HEMT 器件栅极-漏极界面附近的辐射电离电子在高电场作用下被漏极迅速收集,在相对无电场作用区域(例如 AlGaIn 层)中留下了大量空穴。AlGaIn 层中正电荷的积累减少了源极和沟道之间的势垒,从而导致电子从源极注入沟道,产生非常大的漏-源电流,出现增强型单粒子瞬态电流现象^[93-94]。增强型单粒子瞬态电流现象的不断累积,导致永久漏电流的上升,如图 22 所示^[93]。瞬态漏电流脉冲表明失效是由沿重离子径迹的很小区域释放的大量能量导致的,这种现象不断地累积导致漏电流上升,在高电压大电流情况下,则会发生单粒子烧毁现象。GaN HEMT 功率器件按照失效部位可分为漏-源短路、漏-衬底短路、衬底漏电等,如图 23 所示^[95]。

目前 GaN 功率器件的工艺加固方法主要分为以下 3 种:场板加固、缓冲层加固和特殊结构加固。下面分别对 3 种加固方法进行阐述。

1) 场板加固

GaN HEMT 器件一般工作在高漏压状态,栅-漏之间会出现电场尖峰,导致非平衡载流子在尖峰处快速收集,因此普遍认为栅-漏之间是 HEMT 器件单粒子敏感区域^[96]。引入栅场板会使 HEMT 器件栅极边缘电场重新分布,将栅极边缘附近的

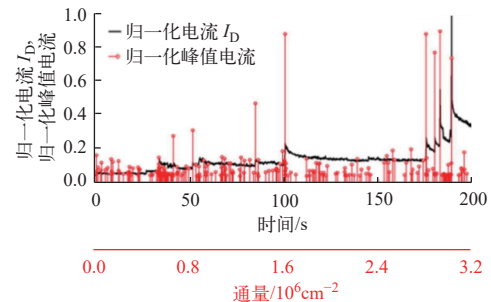


图 22 GaN 功率器件瞬态漏电流脉冲与累积漏电流的关系

Fig. 22 Relationship between transient leakage current pulse and cumulative leakage current in GaN power device

电场强度降低为无场板的二分之一,从而减少电离电荷的收集量,降低器件对单粒子瞬态电流脉冲的敏感性。同理,栅-漏两侧都放置场板的双场板结构同样可以实现对单粒子的加固^[97]。这种结构同样可以对高场中的电场进行调制,使电荷积累显著减少,与未加固器件相比,单粒子击穿电压增加了 89 V。图 24 所示为栅场板和栅-漏双场板两种结构示意图。

2) 缓冲层加固

GaN HEMT 沟道下的缓冲层一般较厚且高掺杂,易受到单粒子效应的影响。若将缓冲层去除,AlN 层充当背势垒,可以更好地限制沟道处的二维电子气(2DEG)。Raut 等^[98]研究指出,通过与

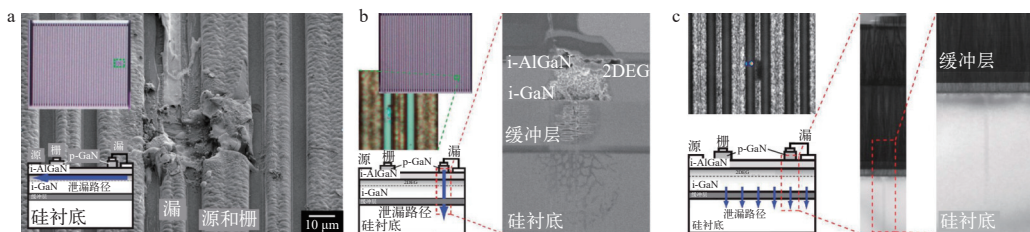


图 23 漏-源短路(a)、漏-衬底短路(b)和衬底漏电(c)

Fig. 23 Drain-source short (a), drain-substrate short mode (b) and substrate leakage mode (c)

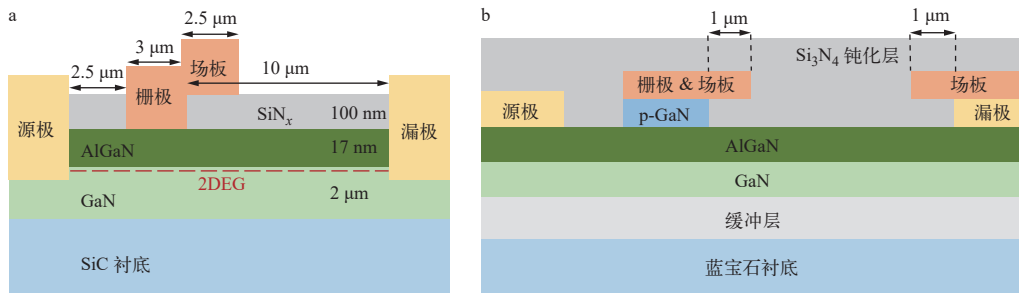


图 24 具有栅场板^[96](a)和栅-漏双场板^[97](b)的 GaN HEMT 器件结构示意图

Fig. 24 Device structure diagram of GaN HEMT with gate-connected field plate (a) and with double field plate (b)

有缓冲层的结构对比, 去掉缓冲层后电场衰减可降低 2%, 电离电荷收集可降低 35%。此外, 如图 25 所示, Zhang 等^[99]指出在缓冲层中添加薄势垒中间层 (AlGaN 夹层), 同样可以起到单粒子加固效果, 这主要是因为 AlGaN 夹层和 GaN 缓冲层形成了量子阱结构, 可以通过量子阱对下方的电荷进行限制, 降低电离电荷对 2DEG 的影响。与传统结构相比, 该加固结构的单粒子烧毁阈值电压提高了 95 V。



图 25 引入 AlGaN 夹层的 GaN HEMT 器件结构

Fig. 25 GaN HEMT device structure with AlGaN inter-layer introduction

3) 特殊结构加固

有报道称可以在源极和漏极下方分别连接 p 型掺杂区域和 n 型掺杂区域^[100], 如图 26 所示。加固后的栅-漏之间的电子较常规结构可更快地被提取到漏端, 从而有效减少高场区域加速电子的数量, 抗单粒子烧毁电压增加了 58 V, 降低了单粒子烧毁风险。

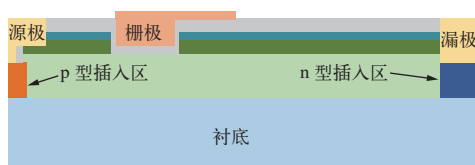


图 26 引入 p 和 n 型插入层的 GaN HEMT 单粒子加固结构

Fig. 26 Single event hardening structure of GaN HEMT with p-type and n-type inter-layer

3 结论

本文系统性地分析了集成电路和功率器件的辐射效应机理和抗辐射工艺加固技术的国内外的研究进展。新型的结构和特定的工艺可显著地改善集成电路和功率器件抗总剂量和单粒子水平。在集成电路抗辐射工艺加固技术方面, 新型技术频出。其中, CSOI 通过其配置层调控辐射产生的电子-空穴对, 实现抗辐射能力呈数量级提升; VESOI 结构通过去除 BOX 层中大部分辐射敏感区域, 从而显著提高其抗辐射能力。在功率器件抗辐射工艺加固技术方面, LDMOS、VDMOS、SiC、GaN 功率器件的工艺加固技术不断迭代, 实现了单粒子响应的改善。未来需综合考虑制造工艺对器件电性能和抗辐射能力的综合影响, 以获得高可靠性、高性能的器件和集成电路。

参考文献:

- [1] MCGARRITY J M. Considerations for hardening MOS devices and circuits for low radiation doses[J]. *IEEE Transactions on Nuclear Science*, 1980, 27(6): 1739-1744.
- [2] HATANO H, DOI K. Radiation-tolerant high-performance CMOS VLSI circuit design[J]. *IEEE Transactions on Nuclear Science*, 1985, 32(6): 4031-4035.
- [3] SHANEYFELT M R, DODD P E, DRAPER B L, et al. Challenges in hardening technologies using shallow-trench isolation[J]. *IEEE Transactions on Nuclear Science*, 1998, 45(6): 2584-2592.
- [4] HUGHES H L, BENEDETTO J M. Radiation effects and hardening of MOS technology: Devices and circuits[J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 500-521.
- [5] GOUKER P, BURNS J, WYATT P, et al. Substrate removal and BOX thinning effects on total dose response of FDSOI NMOSFET[J]. *IEEE Transactions on Nuclear Science*

- ar Science, 2003, 50(6): 1776-1783.
- [6] MAO B Y, CHEN C E, POLLACK G, et al. Total dose hardening of buried insulator in implanted silicon-on-insulator structures[J]. *IEEE Transactions on Nuclear Science*, 1987, 34(6): 1692-1697.
- [7] WATANABE K, KATO M, OKABE T, et al. Radiation hardened silicon devices using a novel thick oxide[J]. *IEEE Transactions on Nuclear Science*, 1985, 32(6): 3971-3974.
- [8] DAI L H, BI D W, HU Z Y, et al. Research on the radiation hardened SOI devices with single-step Si ion implantation[J]. *Chinese Physics B*, 2018, 27(4): 048503.
- [9] MRSTIK B J, HUGHES H L, GOUKER P, et al. The role of nanoclusters in reducing hole trapping in ion implanted oxides[J]. *IEEE Transactions on Nuclear Science*, 2003, 50(6): 1947-1953.
- [10] HUANG H, BI D, CHEN M, et al. Improving total dose tolerance of buried oxides in SOI wafers by multiple-step Si⁺ implantation[J]. *IEEE Transactions on Nuclear Science*, 2014, 61(3): 1400-1406.
- [11] JENKINS W C, LIU S T. Radiation response of fully-depleted MOS transistors fabricated in SIMOX[J]. *IEEE Transactions on Nuclear Science*, 1994, 41(6): 2317-2321.
- [12] YAN G, BI J, XU G, et al. Simulation of total ionizing dose (TID) effects mitigation technique for 22 nm fully-depleted silicon-on-insulator (FDSOI) transistor[J]. *IEEE Access*, 2020, 8: 154898-154905.
- [13] HUANG H, WEI S, TANG K, et al. Enhanced radiation hardness in SOI MOSFET with embedded tunnel diode layer[J]. *IEEE Transactions on Nuclear Science*, 2017, 64(8): 2369-2376.
- [14] SCHWANK J R, SHANEYFELT M R, DRAPER B L, et al. BUSFET: A radiation-hardened SOI transistor[J]. *IEEE Transactions on Nuclear Science*, 1999, 46(6): 1809-1816.
- [15] LUO J, CHEN J, CHAI Z, et al. Total dose effects in tunnel-diode body-contact SOI MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 2014, 61(6): 3018-3022.
- [16] GAILLARDIN M, PAILLET P, FERLET-CAVROIS V, et al. Total ionizing dose effects on triple-gate FETs[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3158-3165.
- [17] LIU S Y, HE W, CAO J M, et al. Total ionizing dose effects on triple-gate FETs[C]//2012 IEEE 11th International Conference on Solid-state and Integrated Circuit Technology. Xi'an: IEEE, 2012.
- [18] ESQUEDA I S, BARNABY H J, HOLBERT K E, et al. Modeling of ionizing radiation-induced degradation in multiple gate field effect transistors[J]. *IEEE Transactions on Nuclear Science*, 2011, 58(2): 499-505.
- [19] MOON D I, HAN J W, MEYYAPPAN M. Fabrication of a silicon nanowire on a bulk substrate by use of a plasma etching and total ionizing dose effects on a gate-all-around field-effect transistor[C]//NCCAVS Joint Users Group Technical Symposium. US: [s. n.], 2016.
- [20] ZHANG X, LIU F, LI B, et al. Comparison of total ionizing dose effects in SOI FinFETs between room and high temperature[J]. *IEEE Transactions on Nuclear Science*, 2022, 69(3): 359-366.
- [21] PENG C, HU Z, EN Y, et al. Radiation hardening by the modification of shallow trench isolation process in partially depleted SOI MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 2018, 65(3): 877-883.
- [22] 彭超, 雷志锋, 张战刚, 等. 基于 TCAD 的绝缘体上硅器件总剂量效应仿真技术研究[J]. *电子学报*, 2019, 47(8): 1755-1761.
- PENG Chao, LEI Zhifeng, ZHANG Zhangang, et al. Research on total ionizing dose effect simulation technology of silicon-on-insulator device based on TCAD[J]. *Acta Electronica Sinica*, 2019, 47(8): 1755-1761(in Chinese).
- [23] 李战东. 基于 22 nm FDSOI 器件的总剂量辐照机理研究[D]. 西安: 西安电子科技大学, 2021.
- [24] 余文龙. 基于 45 nm FDSOI 器件的总剂量抗辐照加固技术研究[D]. 西安: 西安电子科技大学, 2021.
- [25] 周永辉. 抗辐射 SOI CMOS 器件结构的研究与设计[D]. 杭州: 杭州电子科技大学, 2014.
- [26] LIU X, CAI L, LIU B, et al. Total ionizing dose hardening of 45 nm FD-SOI MOSFETs using body-tie biasing[J]. *IEEE Access*, 2019, 7: 51276-51283.
- [27] ZHU H, BI D, XIE X, et al. Substrate effect on radiation-induced charge trapping in buried oxide for partially-depleted SOI NMOSFET[J]. *IEICE Electronics Express*, 2020, 17(7): 20200001.
- [28] LIU Q, ZHOU H, JIA X, et al. Novel void embedded design for total ionizing dose hardening of silicon-on-insulator MOSFET[J]. *IEEE Electron Device Letters*, 2022, 43(11): 1814-1817.
- [29] 于新. 典型模拟电路的单粒子瞬态效应研究[D]. 北京: 中国科学院大学, 2019.
- [30] BAUMANN R C. Single event effects in advanced CMOS technology[C]//IEEE Nuclear and Space Radiation Effects Conference (NSREC). US: IEEE, 2005.
- [31] MOEN K A, PHILLIPS S D, WILCOX E P, et al. Evaluating the influence of various body-contacting schemes on single event transients in 45-nm SOI CMOS[J]. *IEEE Transactions on Nuclear Science*, 2010, 57(6): 3366-3372.

- [32] PELLISH J A, REED R A, SCHRIMPF R D, et al. Substrate engineering concepts to mitigate charge collection in deep trench isolation technologies[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3298-3305.
- [33] SCHWANK J R, FERLET-CAVROIS V, SHANEY-FELT M R, et al. Radiation effects in SOI technologies[J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 522-538.
- [34] ADITYA K, JHA C K, BASRA S, et al. Transient response of 0.18- μm SOI MOSFETs and SRAM bit-cells to heavy-ion irradiation for variable SOI film thickness[J]. *IEEE Transactions on Electron Devices*, 2018, 65(11): 4826-4833.
- [35] HIROSE K, SAITO H, FUKUDA S, et al. Analysis of body-tie effects on SEU resistance of advanced FD-SOI SRAMs through mixed-mode 3-D Simulations[J]. *IEEE Transactions on Nuclear Science*, 2004, 51(6): 3349-3353.
- [36] XU L, LUO J, CHEN J, et al. Improved single-event transient hardness in tunnel-diode body-contact SOI nMOS[J]. *IEEE Transactions on Nuclear Science*, 2017, 64(10): 2669-2672.
- [37] CASTELLANI-COULIE K, MUNTEANU D, AUTRAN J L, et al. Simulation analysis of the bipolar amplification induced by heavy-ion irradiation in double-gate MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 2005, 52(6): 2137-2143.
- [38] PASUPATHY K R, BINDU B. Analysis of bipolar amplification due to heavy-ion irradiation in 45 nm FDSOI MOSFET with thin BOX and ground plane[J]. *Microelectronics Reliability*, 2019, 98: 56-62.
- [39] KUMAR M J, SIVA M. The ground plane in buried oxide for controlling short-channel effects in nanoscale SOI MOSFETs[J]. *IEEE Transactions on Electron Devices*, 2008, 55(6): 1554-1557.
- [40] PAVULURI J, RANJAN S M, NAUGARHIYA A. Analysis of gate oxides in LDMOS for radiation hardening against SEGR[C]//2022 International Conference on Intelligent Controller and Computing for Smart Power (ICICCSPP). India: [s. n.], 2022.
- [41] LEI Z, ZHANG C, WU M, et al. Comprehensive study of the radiation effects on the LDMOS transistors[J]. *Microelectronics Reliability*, 2022, 139: 114793.
- [42] ROUTH S, BARUAH R K. A comprehensive analysis of LDMOS transistors for analog applications under γ -radiation[J]. *Microelectronics Reliability*, 2023, 148: 115159.
- [43] ZHOU X, GENG L, LI Y, et al. Investigation on total-ionizing-dose radiation response for 700 V double-RESURF SOI LDMOS[J]. *IEEE Transactions on Nuclear Science*, 2022, 69(5): 1134-1140.
- [44] MAHAJAN B K, CHEN Y P, RIVERA U A H, et al. Correlated effects of radiation and hot carrier degradation on the performance of LDMOS transistors[C]//2022 IEEE International Reliability Physics Symposium (IRPS). USA: IEEE, 2022.
- [45] GAO C, ZHOU X, CHEN L, et al. Study on single event burnout effect for 700 V double-RESURF SOI LDMOS[C]//2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT). Nanjing: IEEE, 2022.
- [46] JIANG J, HU D, LI R, et al. Simulation study on SEB resistance of silicon-based RESURF LDMOS device with drain buffer layer[C]//2023 5th International Conference on Power and Energy Technology (ICPET). Tianjin: [s. n.], 2023.
- [47] ZHOU X, LI Z, YUAN Z, et al. Total-ionizing-dose radiation-induced dual-channel leakage current at unclosed edge termination for high voltage SOI LDMOS[J]. *IEEE Transactions on Electron Devices*, 2021, 68(6): 2861-2866.
- [48] LI Y, ZHU S, WU J, et al. Research for radiation-hardened high-voltage SOI LDMOS[J]. *Journal of Semiconductors*, 2019, 40(5): 052401.
- [49] ZHOU X, CHEN L, CHEN C, et al. New insight into total-ionizing-dose effect-induced breakdown voltage degradation for SOI LDMOS: Irradiation charge field modulation[J]. *IEEE Transactions on Nuclear Science*, 2023, 70(4): 659-666.
- [50] SHU L, ZHAO Y F, GALLOWAY K F, et al. Effect of drift length on shifts in 400-V SOI LDMOS breakdown voltage due to TID[J]. *IEEE Transactions on Nuclear Science*, 2020, 67(11): 2392-2395.
- [51] YUAN Z, QIAO M, LI X, et al. Improved model on buried-oxide damage induced by total-ionizing-dose effect for HV SOI LDMOS[J]. *IEEE Transactions on Electron Devices*, 2021, 68(4): 2064-2070.
- [52] YUAN Z, QIAO M, LI X, et al. An improved model on buried-oxide damage for total-ionizing-dose effect on HV SOI LDMOS[C]//2020 IEEE International Electron Devices Meeting (IEDM). USA: IEEE, 2020.
- [53] YU C H, WANG Y, LI X J, et al. Study of TID radiation effects on the breakdown voltage of buried P-pillar SOI LDMOSFETs[J]. *IEEE Transactions on Device and Materials Reliability*, 2021, 21(3): 303-309.
- [54] YU C H, BAO M T, GUO H M, et al. Study of TID radiation effects on the breakdown voltage of buried P-pillar SOI LDMOSFETs with P-top region[J]. *Microelectronics Reliability*, 2022, 139: 114850.

- [55] WANG Y, WANG L, LI Y, et al. A single-event burnout hardened super-junction trench SOI LDMOS with additional hole leakage paths[J]. *Electronics*, 2022, 11(22): 3764.
- [56] LEI Y, FANG J, ZHANG B. A simulation-based evaluation of single-event burnout mechanisms and varied SEB hardening designs in power LDMOS transistors[J]. *Microelectronics Reliability*, 2022, 135: 114598.
- [57] LEI Y, FANG J, ZHANG B. TCAD simulation of single-event transient and hardening in 700 V LDMOS transistors[C]//2022 5th International Conference on Circuits, Systems and Simulation (ICSS). Nanjing: [s. n.], 2022.
- [58] LEI Y, FANG J, LIANG Y, et al. Single-event burnout hardening evaluation with current and electric field redistribution of high voltage LDMOS transistors based on TCAD Simulations[J]. *Microelectronics Journal*, 2023, 132: 105692.
- [59] WANG S, CAI X, LI X, et al. Single-event burnout of LDMOS with polygon P⁺ structure[J]. *Microelectronics Reliability*, 2022, 138: 114715.
- [60] LEI Y, FANG J, ZHANG B. TCAD simulation research of the single event burnout and hardening in power LDMOS transistors[C]//2022 5th International Conference on Circuits, Systems and Simulation (ICSS). Nanjing: [s. n.], 2022.
- [61] WANG Y, WANG L, GUO M, et al. Research of single event burnout in a high-performance radiation-hardened SOI lateral power MOSFET[J]. *Microelectronics Reliability*, 2022, 129: 114475.
- [62] SHU L, QI C H, GALLOWAY K F, et al. Observation of single event burnout (SEB) in an SOI NLD MOSFET using a pulsed laser[J]. *Microelectronics Reliability*, 2021, 116: 113997.
- [63] PEJOVIĆ M M. Application of commercial p-channel power VDMOS transistors as dosimeters for photon ionizing radiation[C]//2023 58th International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST). Serbia: [s. n.], 2023.
- [64] ZHANG T, LIU F, LI B, et al. Simulation of synergetic radiation effects for p-type bulk VDMOS[C]//2021 4th International Conference on Radiation Effects of Electronic Devices (ICREED). Xi'an: [s. n.], 2021.
- [65] WANG Y, LIU T, DAI Z, et al. Analysis of TID effects on the threshold voltage and breakdown voltage of 100-V split-gate trench VDMOS[J]. *IEEE Transactions on Electron Devices*, 2024, 71(6): 3483-3489.
- [66] SUN Y, WANG T, LIU Z, et al. Investigation of irradiation effects and model parameter extraction for VDMOS field effect transistor exposed to gamma rays[J]. *Radiation Physics and Chemistry*, 2021, 185: 109478.
- [67] WANG R, LI Z, QIAO M, et al. Total ionizing dose effects in 30-V split-gate trench VDMOS[J]. *IEEE Transactions on Nuclear Science*, 2020, 67(9): 2009-2014.
- [68] LIU T, WANG Y, MA R, et al. Simulation studies on single-event effects and the mechanisms of SiC VDMOS from a structural perspective[J]. *Micromachines*, 2023, 14(5): 1074.
- [69] LI X, JIA Y, ZHOU X, et al. Degradation of VDMOS under simultaneous and sequential stress of gamma ray irradiation and annealing process[J]. *IEEE Transactions on Electron Devices*, 2023, 70(6): 2947-2955.
- [70] VELJKOVIĆ S, MITROVIĆ N, DJORIĆ-VELJKOVIĆ S, et al. Effects of bias temperature stress and irradiation in commercial p-channel power VDMOS transistors[C]//2021 IEEE 32nd International Conference on Microelectronics (MIEL). Serbia: IEEE, 2021.
- [71] LI X, CUI J, ZHENG Q, et al. Study of the within-batch TID response variability on silicon-based VDMOS devices[J]. *Electronics*, 2023, 12(6): 1403.
- [72] FANG J, LEI Y, FANG Z, et al. A SEB hardened trench gate DMOS with HfO₂ gate dielectric and decelerating electric field layer in parasitic NPN base[C]//2023 35th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Hong Kong: [s. n.], 2023.
- [73] LAUENSTEIN J M. Wide-bandgap-power-SiC and GaN-radiation reliability[C]//IEEE NSREC Short Course. USA: IEEE, 2020.
- [74] YANG W, HU D, ZHOU X, et al. Investigation of anti-SEB capability of 160 V power MOSFET device with multiple buffer layer[C]//Proceedings of the 2021 5th International Conference on Electronic Information Technology and Computer Engineering. Xiamen: [s. n.], 2021.
- [75] TANG Z, FU X, YANG F, et al. SEGR- and SEB-hardened structure with DSPSOI in power MOSFETs[J]. *Journal of Semiconductors*, 2017, 38(12): 124006.
- [76] TANG Z, LI X, TAN K, et al. The progress of SEB and SEGR irradiation hardening technology for power MOSFET[C]//2018 International Conference on Radiation Effects of Electronic Devices (ICREED). Beijing: [s. n.], 2018.
- [77] JIA Y, PENG L, SU H, et al. Effect of grade doping buffer layer on SEE failure in VDMOSFET[C]//2016 IEEE 23rd International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA). Singapore: IEEE, 2016.
- [78] CHEN Z, ZHANG C, WU M, et al. Analysis and mitigation of single-event gate rupture in VDMOS with ter-

- mination structure[J]. *IEEE Transactions on Nuclear Science*, 2021, 68(6): 1272-1278.
- [79] ALLENSPACH M, BREWS J R, MOURET I, et al. Evaluation of SEGR threshold in power MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 1994, 41(6): 2160-2166.
- [80] ALLENSPACH M, DACHS C, JOHNSON G H, et al. SEGR and SEB in n-channel power MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2927-2931.
- [81] WAN X, ZHOU W S, REN S, et al. SEB hardened power MOSFETs with high-K dielectrics[J]. *IEEE Transactions on Nuclear Science*, 2015, 62(6): 2830-2836.
- [82] AMJATH M, RANJAN S, NAUGARHIYA A. SEGR Analysis of super junction VDMOS using HfO₂ as gate dielectric[C]//2022 Second International Conference on Advances in Electrical, Computing, Communication and Sustainable Technologies (ICAECT). India: [s. n.], 2022.
- [83] WANG Y, LIU T, QIAN L, et al. Analysis and hardening of SEGR in trench VDMOS with termination structure[J]. *Micromachines*, 2023, 14(3): 688.
- [84] VERMA R, RANJAN S, NAUGARHIYA A. Analysis of single event gate rupture in trench gate SJ-VDMOS with SiO₂-Si₃N₄ dielectric stacking[C]//2021 IEEE Region 10 Symposium (TENSymp). Korea: IEEE, 2021.
- [85] RANJAN S, MAJUMDER S, NAUGARHIYA A. SEGR hardened superjunction VDMOS with high-K gate dielectrics[C]//2020 International Conference on Power Electronics & IoT Applications in Renewable Energy and its Control (PARC). India: [s. n.], 2020.
- [86] 刘翠翠, 郭刚, 李治明, 等. SiC MOSFET 单粒子效应研究现状[J]. *核技术*, 2022, 45(1): 010001.
LIU Cuicui, GUO Gang, LI Zhiming, et al. Recent research progress of single particle effect of SiC MOSFET[J]. *Nuclear Techniques*, 2022, 45(1): 010001(in Chinese).
- [87] ZHOU X, JIA Y, HU D, et al. A simulation-based comparison between Si and SiC MOSFETs on single-event burnout susceptibility[J]. *IEEE Transactions on Electron Devices*, 2019, 66(6): 2551-2556.
- [88] BALL D R, GALLOWAY K F, JOHNSON R A, et al. Ion-induced energy pulse mechanism for single-event burnout in high-voltage SiC power MOSFETs and junction barrier schottky diodes[J]. *IEEE Transactions on Nuclear Science*, 2019, 67(1): 22-28.
- [89] MCPHERSON J A, HITCHCOCK C W, CHOW T P, et al. Ion-induced mesoplasma formation and thermal destruction in 4H-SiC power MOSFET devices[J]. *IEEE Transactions on Nuclear Science*, 2021, 68(5): 651-658.
- [90] MARTINELLA C, STARK R, ZIEMANN T, et al. Current transport mechanism for heavy-ion degraded SiC MOSFETs[J]. *IEEE Transactions on Nuclear Science*, 2019, 66(7): 1702-1709.
- [91] WANG Y, LIN M, LI X J, et al. Single-event burnout hardness for the 4H-SiC trench-gate MOSFETs based on the multi-island buffer layer[J]. *IEEE Transactions on Electron Devices*, 2019, 66(10): 4264-4272.
- [92] ZHOU J C, WANG Y, LI X J, et al. Simulation study of single-event effects for the 4H-SiC VDMOSFET with ultralow on-resistance[J]. *IEEE Transactions on Electron Devices*, 2022, 69(6): 3283-3289.
- [93] ABBATE C, BUSATTO G, IANNUZZO F, et al. Experimental study of single event effects induced by heavy ion irradiation in enhancement mode GaN power HEMT[J]. *Microelectronics Reliability*, 2015, 55(9/10): 1496-1500.
- [94] CHEN S Y, YU X, LU W, et al. Effects of total-ionizing-dose irradiation on single-event burnout for commercial enhancement-mode AlGaIn/GaN high-electron mobility transistors[J]. *Chinese Physics Letters*, 2020, 37(4): 046101.
- [95] MIZUTA E, KUBOYAMA S, NAKADA Y, et al. Single-event damage observed in GaN-on-Si HEMTs for power control applications[J]. *IEEE Transactions on Nuclear Science*, 2018, 65(8): 1956-1963.
- [96] KHACHATRIAN A, BUCHNER S, KOEHLER A, et al. The effect of the gate-connected field plate on single-event transients in AlGaIn/GaN schottky-gate HEMTs[J]. *IEEE Transactions on Nuclear Science*, 2019, 66(7): 1682-1687.
- [97] ZHEN Z, FENG C, WANG Q, et al. Single event burnout hardening of enhancement mode HEMTs with double field plates[J]. *IEEE Transactions on Nuclear Science*, 2021, 68(9): 2358-2366.
- [98] RAUT S, SEHRA K, MISHRA M, et al. Investigation of single event transients in buffer-free GaN-on-SiC HEMT[C]//2020 5th IEEE International Conference on Emerging Electronics (ICEE). India: [s. n.], 2020.
- [99] ZHANG F, WANG Y, WU X, et al. An SEB hardened AlGaIn/GaN HEMT with barrier interlayer[J]. *IEEE Access*, 2020, 8: 12445-12451.
- [100] LUO X, WANG Y, HAO Y, et al. Research of single-event burnout and hardening of AlGaIn/GaN-based MISFET[J]. *IEEE Transactions on Electron Devices*, 2019, 66(2): 1118-1122.