

大气中子在系统级封装器件中引起的 单粒子效应特性及机理研究

叶结锋^{1,2}, 梁朝辉², 张战刚^{2,*}, 郑顺顺^{1,2}, 雷志锋², 刘志利³, 耿高莹³, 韩慧¹

(1. 安徽大学 物质科学与信息技术研究院, 安徽 合肥 230039;

2. 工业和信息化部电子第五研究所 电子元器件可靠性物理及其应用技术重点实验室, 广东 广州 511370;

3. 中国电子科技集团第五十八研究所, 江苏 无锡 214035)

摘要: 基于大气中子辐照谱仪 (ANIS) 提供的宽能谱中子束流, 开展了系统级封装 (SiP) 器件的加速辐照实验, 观察到了中子辐照导致 SiP 器件发生单粒子翻转 (SEU) 及单粒子功能中断 (SEFI) 效应。SEU 发生于数字信号处理器 (DSP) 内部的静态随机存取存储器 (SRAM) 模块以及现场可编程门阵列 (FPGA) 内部的块随机存取存储器 (BRAM) 模块。SEFI 的错误类型主要是上位机程序闪退以及 DSP 状态机卡死。基于加速辐照实验结果计算了中子导致的 SEU 截面, 探讨了工艺节点、中子束流能谱对 SEU 截面的影响。当工艺节点从 40 nm 减小到 28 nm 时, U 型 SEU 截面减少了 73%。热中子对 SRAM 模块的 SEU 截面有较大影响, 滤除中子束流中的热中子成分后, SRAM 的 SEU 截面下降了 28.8%。基于 GEANT4 仿真软件对实验结果进行了分析, 解释了实验组 SEU 截面较低的原因。最后, 通过计算纽约海平面的软错误率发现, SEU 最敏感模块为 FPGA 内部的 BRAM, 能量大于 1 MeV 高能中子引起的软错误率为 766.8 FIT/Mbit, 未在第二代双倍数据率同步动态随机存取存储器 (DDR2 SDRAM)、FPGA 内部的可配置逻辑块 (CLB) 和只读存储器 (ROM) 中发现 SEU; SEFI 最敏感模块为 DSP。实验数据对 SiP 的抗中子辐照设计有重要意义。

关键词: 单粒子效应; 中子辐照; 系统级封装; 单粒子翻转截面; 热中子; 软错误率

中图分类号: TL7; TP333

文献标志码: A

文章编号: 1000-6931(2025)05-1154-11

doi: 10.7538/yzk.2024.youxian.0666

Characteristics and Mechanisms of Single Event Effects Caused by Atmospheric Neutrons in System in Package Device

YE Jiefeng^{1,2}, LIANG Chaohui², ZHANG Zhangang^{2,*}, ZHENG Shunshun^{1,2},

LEI Zhifeng², LIU Zhili³, GENG Gaoying³, HAN Hui¹

(1. Institute of Physical Science and Information Technology, Anhui University, Hefei 230039, China;

2. Key Laboratory of Reliability Physics and Application Technology for Electronic Components,
Fifth Institute of Electronics, Ministry of Industry and Information Technology, Guangzhou 511370, China;

3. The 58th Research Institute of China Electronics Technology Group, Wuxi 214035, China)

Abstract: To investigate the effects of atmospheric neutron radiation effects on a system-in-package (SiP) device, single event upset (SEU) and single event functional interruption (SEFI) were focused on

收稿日期: 2024-09-18; 修回日期: 2024-12-16

基金项目: 广东省重点领域研发计划(2022B0701180002); 国家自然科学基金(12175045, 12075065)

* 通信作者: 张战刚

in the experiment. Correlations between these effects and experimental parameters were found and the reasons for these correlations were analyzed. The accelerated irradiation experiment of a SiP device was conducted based on the atmospheric neutron irradiation spectrometer. The experiment observed the effects of SEU and SEFI caused by neutrons. SEUs are found in the static random access memory (SRAM) module of the digital signal processor (DSP) and the block random access memory (BRAM) module inside the field programmable gate array (FPGA). SEFI errors are primarily program crashes and DSP state machine freezes. The SEU cross section caused by neutrons was calculated, and the effects of process nodes and neutron beam energy spectrum on the SEU cross section were analyzed. As the process node decreases from 40 nm to 28 nm, the U-SEU cross section reduces by 73%. Thermal neutrons significantly impacts the SEU cross section of SRAM. After filtering thermal neutron components from the neutron beam, the SRAM SEU cross section decreases by 28.8%. The experimental results were analyzed through simulations performed using GEANT4, a particle transport and interaction modeling software. The simulated results provide essential insights into the underlying mechanisms contributing to the lower SEU cross section observed in the experimental. The soft error rate at New York sea level was calculated, revealing that the BRAM inside the FPGA was the most SEU-sensitive module, with a soft error rate of 766.8 FIT/Mb due to high-energy neutrons ($E > 1$ MeV). This finding emphasizes the necessity for error correction codes (ECC) or redundancy techniques to mitigate potential SEUs in critical memory devices. No SEUs are found in DDR2 SDRAM, CLB, or ROM inside the FPGA. This resilience may stem from architectural design or test capacity. The DSP is found to be the most SEFI-sensitive module. Overall, the experimental data serve as a critical resource for guiding the design and development of SiP devices with improved resistance to neutron-induced radiation effects. The insights derived from this study are invaluable for advancing the reliability and performance of semiconductor devices operating in neutron radiation environments.

Key words: single event effect; neutron irradiation; system-in-package; single event upset cross section; thermal neutron; soft error rate

系统级封装(system-in-package, SiP)技术是指将多个具有不同功能的电子元件或芯片集成于同一封装内,从而实现基本完整功能的一种封装方法。SiP通常包含微处理器、存储器等核心器件,同时也可能包括现场可编程门阵列(FPGA)、无源器件及其他相关组件。由于各芯片之间的距离较短,这种结构能够提供更快的传输速度、更低的损耗以及更强的抗干扰能力。随着封装技术的发展,越来越多的基于SiP技术的多片结构系统应用于机载计算机等航空电子设备。然而,由于晶体管特征尺寸减小所引发的单粒子效应(single event effect, SEE)加剧,航空电子设备在可靠性方面面临着日益严峻的问题^[1]。

中子可以诱发单粒子效应。尽管中子不带电且无法直接电离,但它们通过与原子核发生核反应产生次级离子碎片和反冲核等带电粒子,这些

粒子能够通过直接电离沉积能量。当沉积能量超过翻转临界能量时,就会导致单粒子效应。在高空宇宙射线进入地球大气层时,与空气中的氮(N)、氧(O)等元素发生级联反应生成中子的现象,使得大气中的中子广泛分布,对高安全性、高可靠性的电子系统造成显著影响,尤其是在使用大量敏感电子元件时。

当多芯片、高密度集成的SiP微系统应用于辐射环境下时,可能会出现一些新现象和新问题。目前国内外关于SiP相关的辐照研究相对较少。在国外,Rajkowski等^[2]利用⁶⁰Co和X射线对SiP进行辐照实验,其结果表明,相比原型电路板,SiP在抗总剂量水平上提高了2倍。此外,他们还通过多种方法研究了基于商用现货(commercial off-the-shelf, COTS)器件构建的SiP系统,并提出其对单粒子效应的敏感性高于总电离剂量(total

ionizing dose, TID), 因此需重点提升单粒子效应性能^[3]。在国内, 许振龙等^[4]搭建了由 COTS 器件组成的 SiP 系统, 并研究了其总剂量效应敏感性。他们发现该微系统在抗总剂量能力上不低于 150 krad(Si), 符合应用标准。此外, Zeng 等^[5]针对 3D-SiP 中的硅通孔漏电流及其电容特性进行了总剂量效应研究, 并指出 500 Gy 总剂量辐射对硅通孔可靠性有明显影响。而柳鑫炜^[6]则针对星载 SiP 开展仿真研究, 并提出了一种新的混合仿真方法以分析系统级单粒子效应, 同时完成了仿真平台建设。

总体而言, 目前已报道的大多数研究主要集中在总剂量效应方面^[2,4-5]。然而, 对于 SiP 所表现出的单粒子效应失效率特征尚未明确, 因此实验研究仍显不足。因此, 本研究以 SiP 器件为对象, 在大气中子的宽能谱辐照条件下, 通过大气中子辐照谱仪(atmospheric neutron irradiation spectrometer, ANIS)开展加速辐照实验, 以探索其失效率模式并分析工艺节点、中子束流能谱对单粒子效应的影响规律, 从而确定 SiP 的内部单粒子效应敏感模块。

1 辐照实验条件

1.1 待测器件

本研究以高密度封装 MS20001ZZ 型图像数字信号处理 SiP 器件为研究对象, 该器件内部集成了 FPGA、数字信号处理器(DSP)、配置电路(FLASH)、DDR2 SDRAM 共 4 颗裸芯片和 68 只分立阻容器件, 如图 1 所示。



图 1 SiP 器件封装前照片

Fig. 1 Photograph of SiP device before packaging

SiP 器件为非密封陶瓷封装, 尺寸为 40 mm×40 mm, 4 颗裸芯片均为倒装。研究对象应用于导航、成像等数据处理、高性能计算领域, 具有代表

性和典型性。SiP 器件详细参数列于表 1, 其中芯片容量为测试容量, 并非其实际容量, 测试容量是实际容量的一部分。

表 1 SiP 内芯片信息
Table 1 ICs information in SiP

芯片	工艺	节点	测试容量
FPGA		40 nm	BRAM: 128 KB; CLB: 1 KB; ROM: 1 KB
DSP	CMOS	28 nm	L2 SRAM Cache: 1020 KB
DDR2 SDRAM		25 nm	2 GB
FLASH		55 nm	0

1.2 单粒子效应测试系统

单粒子效应测试系统示意图如图 2 所示, 由单粒子辐照实验子板、Z7 核心控制板、可编程电源及远程控制计算机构成。控制板与测试子板通过 FMC 接口线进行连接通讯, 长度 0.5 m, 单端晶振信号采用 SMA 连接头进行连接, 差分晶振采用 FMC 接口连接。控制板与上位机连接, 通过网线将数据上报给上位机。上位机通过网线控制可编程电源, 监测并调节电压/电流大小, 实现 SEL 的监测。电源给控制板和测试子板提供稳定供电。电源、控制板和测试子板都放置在辐照间内, 上位机位于辐照间外。

1.3 中子辐照源

基于大气中子辐照谱仪提供的宽能谱中子束流开展实验。大气中子辐照谱仪基于中国散裂中子源建设, 散裂中子来源于高能质子轰击重金属钨靶发生核散裂反应, 设计功率为 100 kW, 入射质子最高能量为 1.6 GeV^[7-9]。由于中子产生的机制与大气中子类似, 因此该实验平台提供的中子能谱与自然大气中子能谱近似。在 1 meV~1 GeV 的能量范围内, 大气中子辐照谱仪实验平台样品处的中子能谱形状与 JEDEC 标准给出的自然大气中子能谱形状接近^[10], 如图 3 所示。并且中子注量是真实大气中子环境的 10⁹ 倍, 因此可加速等效模拟自然大气中子对 SiP 器件的影响。

不同于总剂量效应和位移损伤效应这种累积效应, 单粒子效应是一种瞬时效应。单粒子效应产生的软错误不会对器件本身的物理构成和结构造成影响, 因此一般来说, 剂量率大小对单粒子效应的影响不大。实验中所使用的中子注量率为

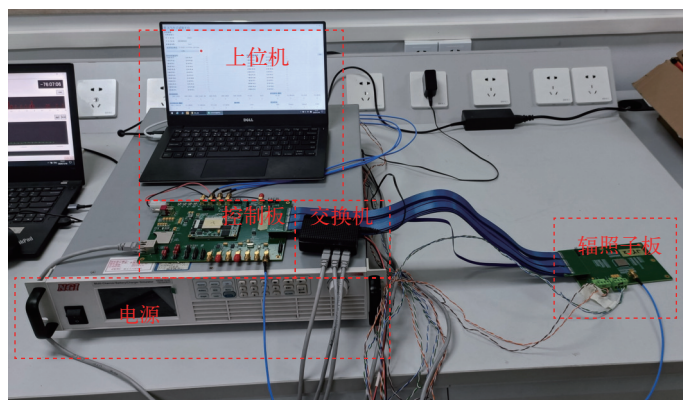


图2 单粒子效应测试系统示意图

Fig. 2 Schematic diagram of single event effects testing system

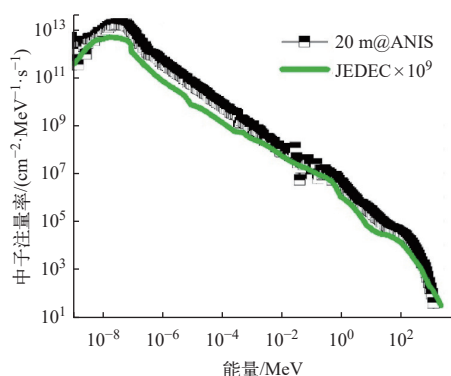


图3 ANIS与JEDEC中子微分能谱的比较^[10]

Fig. 3 Comparison of neutron differential energy spectra between ANIS and JEDEC^[10]

$1 \times 10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$, 远小于文献 [11] 中提到的 SRAM 瞬时剂量率翻转阈值 $9 \times 10^6 \text{ Gy}(\text{Si})/\text{s}$ 。此外, 实验中观察到在中子注量率为 $1.09 \times 10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$ 和 $1.21 \times 10^6 \text{ cm}^{-2} \cdot \text{s}^{-1}$ 的条件下, 被测器件的单粒子翻转 (single event upset, SEU) 截面近似相同。对于剂量率的影响, 在实验中遵循的基本原则是器件发生错误的速度小于 1 s^{-1} , 以避免对结果统计的影响。

由于中子具有较强的穿透能力, 因此 SiP 器件未进行开封处理, 以模拟真实应用场景。在辐照前, 待测器件中写入棋盘码数据 A5A5。辐照过程中, 测试系统采用动态测试方法, 持续对已写入的测试数据进行读写操作。如果读取的数据与原始数据不一致, 则视为发生了 SEU, 并在文件中记录错误地址、错误数据及错误时间, 同时用原始数据进行修正, 上位机实时显示错误信息。此外, 测试系统具备监测器件工作电流的功能, 当工作电流超过预设阈值时, 系统将立即断开电源并发

出报警提示。鉴于单粒子效应属于随机事件, 为确保结果的统计性, 每组实验累计总错误数均超过 200 次。实验环境温度保持在 $25 \text{ }^\circ\text{C}$, 使用额定电压供电。实验现场照片如图 4 所示, 其中激光交叉点标识束流中心位置, 中子束垂直入射至芯片表面, 束斑大小约为 $10 \text{ cm} \times 6 \text{ cm}$ 。在辐照实验中, 确保中子辐照束斑面积能够覆盖整个 SiP 芯片。

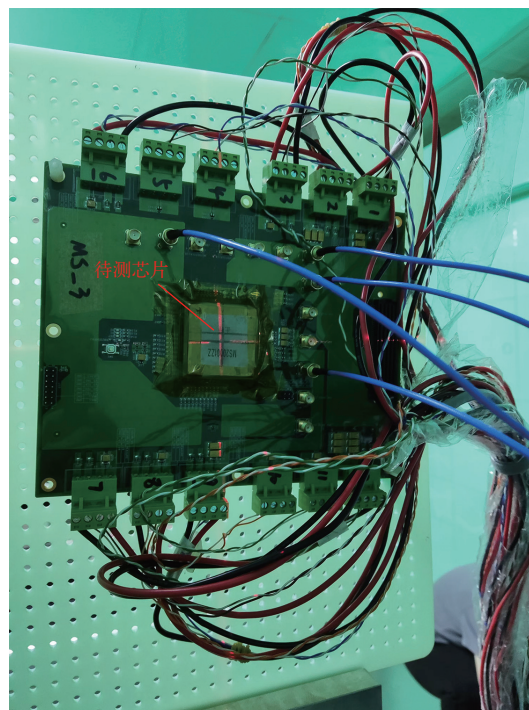


图4 测试现场图

Fig. 4 Testing site photograph

2 结果及讨论

实验主要观测到了单粒子翻转、单粒子功能

中断现象。实验中 SiP 电流较为稳定,没有发生单粒子门锁。

2.1 单粒子翻转

根据中子的注量和相应的翻转数,可计算出该器件的 SEU 截面。SEU 截面有两种类型:U(unit)型 SEU 截面和 G(group)型 SEU 截面,U 型截面将单个粒子导致的多个翻转看成多个事件,而 G 型截面则将单个粒子导致的多个翻转看成一个事件。两者分别由式(1)和式(2)计算得到。

$$\sigma_{U-SEU} = \frac{\sum iN_{i-upset}}{F \sin \theta \times N_b} \quad (1)$$

$$\sigma_{G-SEU} = \frac{\sum N_{i-upset}}{F \sin \theta \times N_b} \quad (2)$$

式中: σ_{U-SEU} 和 σ_{G-SEU} 为器件中子 SEU 截面, cm^2/bit ; $N_{i-upset}$ 为单个粒子引起的 i 位翻转数; F 为中子总注量,即实验时间内器件接收到的总中子数, cm^{-2} ; θ 为入射倾角,即入射粒子束与器件平面的夹角; $F \sin \theta$ 为有效中子注量,本实验中子垂直入射, $\theta=90^\circ$; N_b 为器件容量(计算整个器件的翻转截面时, $N_b=1$), bit。

实验中没有观测到 FPGA 内部的 CLB(configurable logic block,可配置逻辑块)、ROM(read-only memory,只读存储器)以及独立的 DDR2 SDRAM(同步动态随机存取器)发生 SEU,因此本文主要讨论 FPGA 内部的 40 nm BRAM(block random access memory,块随机存取存储器)和 DSP 内部的 28 nm SRAM(static random access memory,静态随机存取存储器)中出现的 SEU。

硅基器件中,能够诱发单粒子效应的中子根据能量大小可分为热中子($E_n < 0.4 \text{ eV}$)和高能中子($E_n > 1 \text{ MeV}$),其中热中子部分相对容易进行屏蔽。为了研究中子能谱对单粒子效应的影响,本实验采用 20 mm 厚的 B_4C 过滤器以滤除热中子的束流作为实验组,并将包含热中子的束流(即未使用 B_4C 过滤器)作为对照组。图 5 示出了 28 nm SRAM 和 40 nm BRAM 在不同工况下的 SEU 截面 σ 。为了便于对比分析,SEU 截面计算时所选取的分母均为能量大于 1 MeV 的高能中子注量,不包含热中子注量。从图 5 可以看出,器件的工艺节点和中子能谱均对 SEU 截面有明显影响。

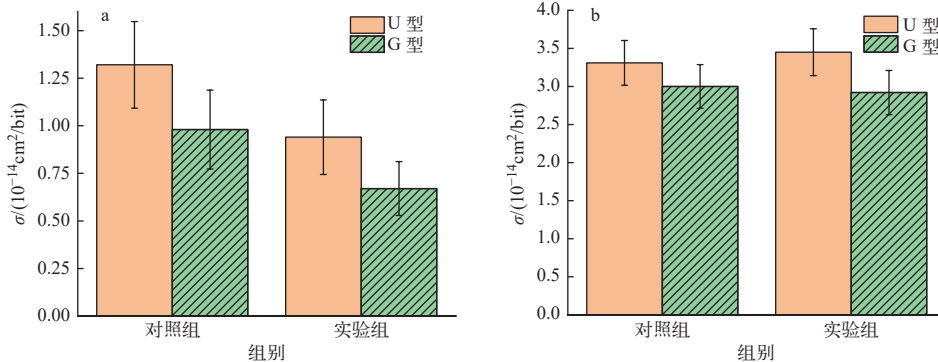


图 5 28 nm SRAM(a)和 40 nm BRAM(b)模块的 SEU 截面对比

Fig. 5 Comparison of SEU cross sections between 28 nm SRAM (a) and 40 nm BRAM (b) modules

1) 工艺节点的影响

首先分析器件的工艺节点对实验结果的影响。随着工艺节点的减小,器件的 SEU 截面变小。如前文所述,FPGA 的 BRAM 采用 40 nm 工艺,DSP 的 SRAM 采用 28 nm 工艺。BRAM 是 FPGA 内部独立于逻辑单元的专用存储器,采用 SRAM 单元结构存储用户数据。因此可以将两者进行比较。工艺节点主要从两方面影响翻转截面,分别是临界电荷和灵敏体积。临界电荷是指存储单元

发生 SEU 所需的最低能量。临界电荷 Q_c 与工艺节点 L 存在平方关系,有如下经验公式^[12]:

$$Q_c = 0.023L^2 \quad (3)$$

随着特征尺寸从 40 nm 减小到 28 nm, Q_c 从 0.368 fC 减小到 0.18 fC,减小幅度达到 51%。这意味着仅需沉积约一半的能量即可使器件发生翻转,从而导致 SEU 截面的增大。灵敏体积又称灵敏区域,源于长方体模型理论,一般位于关态晶体管的漏极区域。随着工艺尺寸的缩小,灵敏

体积也减小,这降低了中子次级离子击中灵敏区的概率。此外,由于漏极面积变小,入射粒子产生的电子-空穴对通过扩散作用被漏极收集的难度增加,从而导致瞬态电流减少,这进一步引起SEU截面的减小。灵敏体积与临界电荷之间存在竞争关系。大量实验证据表明,对于纳米集成电路,其SEU截面在特征尺寸减小时呈现出缓慢下降的趋势。这表明灵敏体积变化所带来的影响占主导地位。对于本实验,实验组BRAM的U型SEU截面为 $3.45 \times 10^{-14} \text{ cm}^2/\text{bit}$,SRAM的U型SEU截面为 $0.94 \times 10^{-14} \text{ cm}^2/\text{bit}$,相较之下减少了73%。

另外,28 nm SRAM的U型和G型截面相差较大,U型截面约为G型的1.4倍。40 nm BRAM的U型截面与G型截面相差1.1倍。根据式(1)、(2)知,这与器件的多位翻转敏感性密切相关。

2) 中子能谱的影响

中子能谱也会对实验结果造成影响。实验组

和对照组的主要差别在于中子束流能谱中是否包含热中子部分,可以通过计算热中子诱发SEU数量来进行分析。方法是利用实验组的SEU截面反推对照组中高能中子产生的翻转数,再根据对照组总翻转数获得热中子诱发翻转数。计算过程中的部分数据如表2所列。

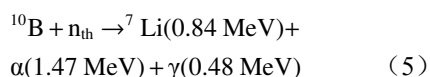
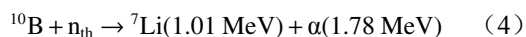
由表2可见,在SRAM中,热中子导致的SEU占比为25.3%;而在BRAM中,热中子诱发的SEU数量在误差范围内可以认为是0。这表明,热中子对SRAM中的SEU影响显著,而对BRAM则没有明显影响。文献[13]指出,在半导体阱、互联层以及半导体刻蚀过程中引入的 ^{10}B 核素能够显著影响纳米级电子系统的可靠性。此外,该文献还强调了 ^{10}B 对微纳级电子电路系统可靠性的重大影响,这种核素通常通过刻蚀流程引入,并存在于半导体阱和互联层中。实验发现, ^{10}B 含量高的器件热中子敏感性往往较高^[14]。由此可见,SRAM模块生产过程中可能引入了 ^{10}B 。

表2 热中子诱发SEU数计算结果

Table 2 Thermal neutron induced SEU calculated results

模块	实验组 U-SEU 截面/ (cm^2/bit)	对照组高能中子 注量/ cm^{-2}	对照组 SEU 总数/个	对照组高能中子 诱发翻转数/个	热中子诱发 SEU 数/个
SRAM	0.94×10^{-14}	1.57×10^9	165	123	42
BRAM	3.45×10^{-14}	1.57×10^9	52	57	—

热中子(n_{th})与 ^{10}B 的反应截面相比其他元素高得多,其反应产物能量也相对较大,核反应式主要如式(4)、(5)所示,式(5)发生概率较大,达90%以上^[15]。



使用SRIM软件^[16]计算可得,生成的 ^7Li 和 α 粒子在硅中的射程分别为 $2.5 \mu\text{m}$ 和 $5 \mu\text{m}$,均不超过 $5 \mu\text{m}$ 。因此,与热中子发生反应的 ^{10}B 来自于有源区附近 $5 \mu\text{m}$ 以内的范围。

28 nm SRAM的LET阈值小于 $1 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ ^[17]。两种次级粒子的LET值分别为 $2.1 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 和 $1.15 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,均超过阈值,完全有可能导致SEU的发生。对于台积电28 nm工艺节点的存储单元,其相邻敏感区的距离约为 $0.25 \mu\text{m}$ ^[18]。因

此,如果入射角度合适,这两种粒子还能造成多位翻转。如果 ^{10}B 存在于晶体管的正上方 $5 \mu\text{m}$ 以内,核反应产生的 ^7Li 和 α 就有可能通过直接电离在有源区沉积能量导致SEU。SRAM中可能存在 ^{10}B ,在研究其大气中子辐射效应时,不能忽略热中子的影响。

3) SEU 错误率计算

为了定量分析实际应用环境下电子器件发生错误的速率,需要计算软错误率,其计算公式^[19]如式(6)所示。

$$R = f\sigma \times 1.024^2 \times 10^9 \quad (6)$$

式中: R 为软错误率,FIT/Mb,1 FIT(failures in time,失效时间)代表工作 10^9 h ,设备发生1次错误; f 为环境中子通量, $\text{cm}^{-2} \cdot \text{h}^{-1}$; σ 为上文计算的SEU截面,这里使用U型截面进行计算。根据JEDEC标准^[20],纽约户外海平面的大气高能($E > 1 \text{ MeV}$)中子

通量为 $21.2 \text{ cm}^{-2} \cdot \text{h}^{-1}$, 可算得 R_{SRAM} 为 $208.8 \text{ FIT}/\text{Mb}$, R_{BRAM} 为 $766.8 \text{ FIT}/\text{Mb}$ 。BRAM 的错误率约为 SRAM 的 3.7 倍。需要注意的是, 由于缺乏热中子截面的数据, 本研究未对热中子的软错误率进行计算, R_{SRAM} 的估算值可能被低估。因此, 从 SEU 错误率的角度来说, FPGA 内部的 BRAM 模块为导致 SiP 出现 SEU 现象的最敏感模块。

在实际应用中, SRAM 模块作为 DSP 的二级缓存使用, 需要存储指令代码, 并且频繁调用; BRAM 则是 FPGA 内部的通用存储器, 一般不存储指令代码, 并且调用频率相对较低。因此, 在 SRAM 中发生 SEU 事件可能会对系统产生更大的影响, SRAM 的数据可靠性也不可忽视。

2.2 多单元翻转

多单元翻转(multiple cell upsets, MCU)是指由单个入射高能粒子造成的多个存储单元发生翻转的现象。判断 MCU 的标准^[21]如下: 1) 错误地址相近; 2) 错误时间相同; 3) 对于交错架构芯片, 错误数据相同。

图 6 为 SRAM 和 BRAM 在不同工况下的 MCU 比例。其中, SBU 指的是单位翻转(single bit upset), 翻转占比指的是该种翻转次数与总翻转事件次数之比。从图 6 可看出, 热中子对两种模块的 MCU 比例影响都不大; 工艺尺寸的差别对 MCU 比例影响较大, 随着工艺尺寸的减小, MCU 比例增大, 从 10% 变为 25%。SRAM 的高 MCU 比例是造成图 5 中 U 型 SEU 截面和 G 型 SEU 截面差别的原因。

引发 MCU 的原因是二次离子产生的电子-空穴对被多个灵敏区域共享。若二次离子的离化半径不变, 工艺尺寸越小, 受到影响的灵敏区域就会越多, 越容易发生 MCU。临界电荷的降低减少了电子-空穴对的消耗, 也为 MCU 创造了条件。

图 7 示出了 SRAM 和 BRAM 模块在不同工况下的 MCU 位数。由图 7 可见, 28 nm SRAM 和 40 nm BRAM 模块的 MCU 位数分布存在较大不同。SRAM 模块的 MCU 最大翻转位数更大, 达到了 5 位, 而 BRAM 模块最大翻转位数为 3 位。这是由于临界电荷的降低, 28 nm SRAM 模块更容易

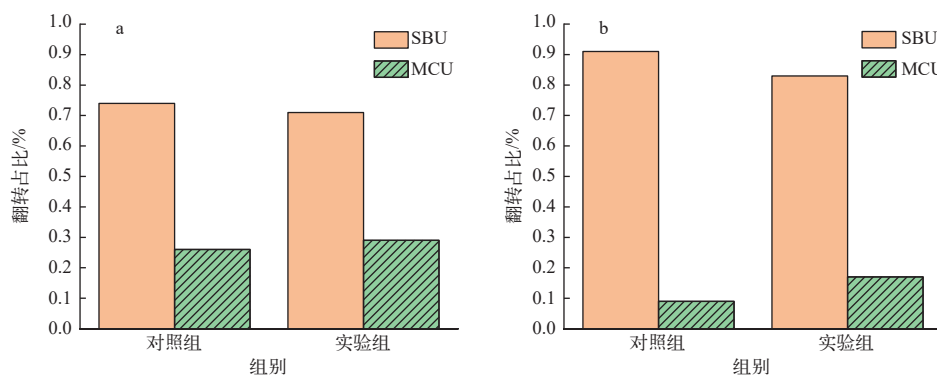


图 6 28 nm SRAM(a) 和 40 nm BRAM(b) 模块的 MCU 比例

Fig. 6 Flip ratio of MCU for 28 nm SRAM (a) and 40 nm BRAM (b) modules

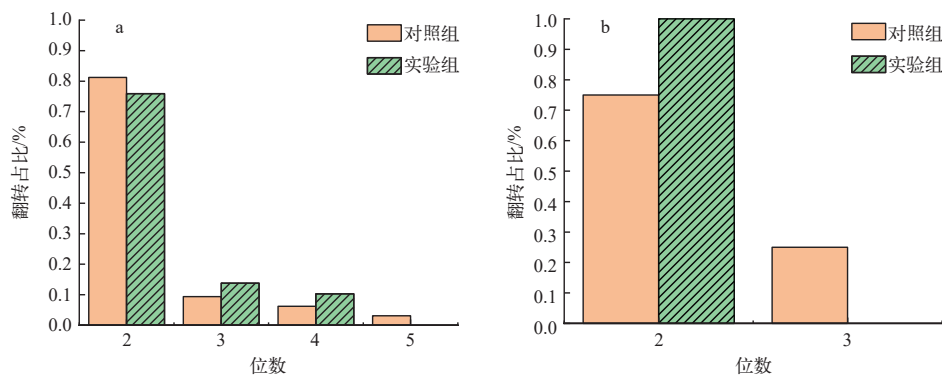


图 7 28 nm SRAM(a) 和 40 nm BRAM(b) 模块的 MCU 位数

Fig. 7 Flip bits of MCU for 28 nm SRAM (a) and 40 nm BRAM (b) modules

发生翻转,而且存储单元间隔变小,粒子入射产生的电子-空穴对更容易通过漂移和扩散作用被临近的多个灵敏节点收集,引起MCU。

2.3 单粒子功能中断

单粒子功能中断(single event function interrupt, SEFI)是指粒子入射导致电路功能发生异常的现象,一般需要重启或重新上电才能恢复。实验中观测到的SEFI模式及次数列于表3。

表3 单粒子功能中断实验结果
Table 3 Experimental results of SEFI

SEFI 类型	次数	导致 SEFI 的内部芯片
程序闪退	2	未知
DSP 状态机卡死	2	DSP
V5_IO 错误	1	FPGA
DDR2 SDRAM 翻转异常上升	1	DDR 或 FPGA

程序闪退是指用于状态监测的上位机程序突然终止,这可能是由于瞬时交换的数据量过大引起的。DSP 状态机卡死指 DSP 运行时序出现问题,导致 DSP 停止运行,会影响 SRAM 错误数据的读出。V5_IO 错误指 FPGA 的数据接口错误,由于 DDR2 SDRAM 是挂载在 FPGA 上的,数据接口错误会影响 DDR2 SDRAM 的错误数据读出。DDR2 SDRAM 还存在翻转异常上升的现象,上位机软件中同时报出大片翻转,可能是 FPGA 或 DDR2 SDRAM 内部电路出现了异常^[22]。因此,从 SEFI 次数上来说,DSP 被认为是导致 SiP 发生 SEFI 的最敏感模块。

2.4 仿真分析

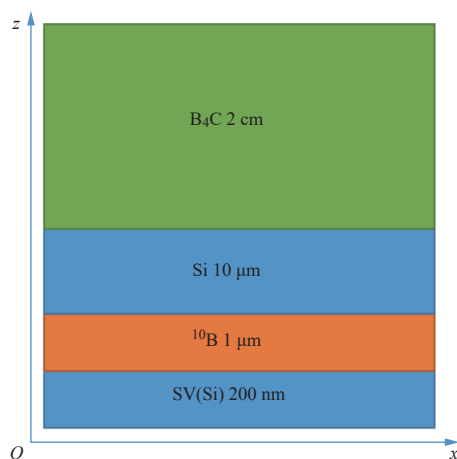
使用蒙特卡罗仿真工具 GEANT4 进行分析,器件为倒装封装,将关态 NMOS 的漏极区域作为灵敏区,28 nm 工艺 SRAM 灵敏区的尺寸设置为 104 nm×90 nm,考虑到漏斗效应及电荷收集机理,灵敏区的深度设置为 200 nm。GEANT4 是由欧洲核子研究中心(CERN)开发的一个用于粒子物理仿真和事件生成的软件框架^[23]。它广泛应用于高能物理、天体物理、医学成像、辐射防护等领域,能够模拟粒子与物质的相互作用过程,支持复杂的实验设计和数据分析。仿真时的建模横截面示意图如图8所示,图中SV(sensitive volume,灵敏体积)指的是器件灵敏区。为了提高仿真效率,将

器件模型的 $x \times y$ 尺寸设置为灵敏区的尺寸。辐照源设置为大气中子,从器件顶部垂直向下入射,每次仿真入射中子数量为 5×10^7 个。仿真时,通过是否设置 B_4C 层来获得不同的中子能谱,即设置 B_4C 层的记为实验组,不设置 B_4C 层的记为对照组。根据文献[24-25],可计算器件翻转所需的临界能量(Q_c , fC):

$$Q_c = \frac{LET_{th} \times \rho_{Si} \times d}{3.6 \times 10^{-6}} \times 1.6 \times 10^{-4} \quad (7)$$

$$E_c = LET_{th} \times \rho_{Si} \times d \quad (8)$$

其中: LET_{th} 为诱发 SEU 的 LET 阈值, $MeV \cdot cm^2/mg$; ρ_{Si} 为硅材料的密度, mg/cm^3 ; d 为灵敏区的厚度, cm ; E_c 为临界能量, MeV 。若已知 28 nm 工艺 SRAM 单元的 Q_c 为 0.18 fC,则根据上式可算得 E_c 等于 $4 \times 10^{-3} MeV$ 。



图中数据为材料层沿 z 轴方向的长度,未按比例绘制

图8 器件建模横截面示意图

Fig. 8 Schematic diagram of device modeling cross section

大气中子入射在器件灵敏区中产生了丰富的二次粒子。图9示出了不同中子能谱下器件灵敏区中产生的二次粒子能量沉积。仿真中,在实验组的器件灵敏区中探测到的二次粒子共 20 173 个,在对照组的器件灵敏区中探测到的二次粒子共 7 083 个。可见,实验组条件下产生的二次粒子更多,这是因为 B_4C 不仅能屏蔽热中子,还能慢化高能中子。从整体的能量分布来看,当产生的二次粒子的能量大于 0.1 MeV 时,对照组探测到的二次粒子数量多于实验组;实验组探测到的二次粒子能量集中分布于小于 0.1 MeV 的区间,这表明 B_4C 有效屏蔽了热中子。不仅如此,对照组探测

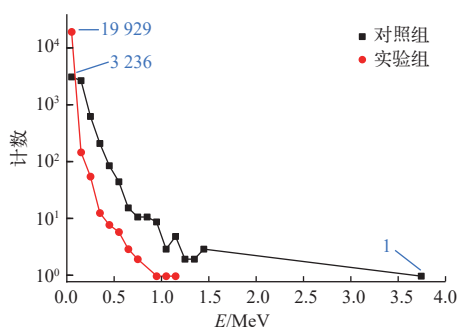


图9 器件灵敏区中产生的二次粒子能量沉积

Fig. 9 Energy deposition of secondary particles generated in sensitive volume of device

到的二次粒子在 3.5~4 MeV 能量区间内也有分布, 这些 LET 值高、射程长的粒子导致了实验中观察到的多位翻转发生; 而实验组探测到的二次粒子最高能量不到 1.25 MeV, 这解释了实验结果中对照组的 MCU 比例和位数均高于实验组的原因。

进一步统计了两组仿真中能导致翻转发生的二次粒子数量, 如图 10 所示。由图 10 可看出, 对照组器件灵敏中产生的二次粒子 95.5% 都能导致发生翻转; 反观实验组的情况, 则是 88.2% 的二次粒子都不能使存储单元发生翻转。这很好地解释了对照组的 SEU 截面高于实验组这一实验结果。

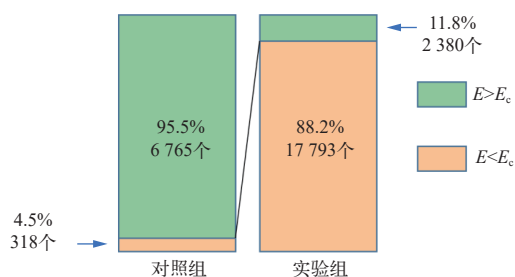


图 10 临界能量左右二次粒子的分布

Fig. 10 Distribution of secondary particles with energy around E_c

3 结论

本文针对高密度封装 SiP 器件开展了宽能谱中子辐照实验。实验观察到了一系列宽能谱中子导致的单粒子效应失效现象, 包括 SEU、MCU 和 SEFI。通过实验得到如下主要结论:

1) 工艺节点和中子能谱对 SEU 截面都有较大影响。工艺节点从 40 nm 减小到 28 nm, U 型 SEU 截面减少了 73%。滤除中子束流中的热中子成分

后, SRAM 模块的 SEU 截面下降了 28.8%。SRAM 模块的 MCU 比例及 MCU 最大翻转位数都大于 BRAM 模块, 其中最大翻转位数达 5 位, 这一现象可归因于临界电荷的降低和存储单元间隔的减小。

2) 根据纽约海平面的高能中子通量计算了 SRAM 模块和 BRAM 模块的高能中子软错误率, R_{SRAM} 为 208.8 FIT/Mb, R_{BRAM} 为 766.8 FIT/Mb。从 SEU 错误率的角度来说, 对于实验所用 SiP, SEU 敏感模块为 FPGA 内部的 BRAM。此外, 还分析了实验中出现的 SEFI 现象及其原因, 结果显示由于 DSP 模块失效导致的 SEFI 次数最多, 共发生 2 次。可以认为 DSP 是导致 SiP 发生 SEFI 的最敏感模块。综合来看, SEFI 的敏感模块为 DSP, DSP 的 SRAM 模块发生 SEU 的 FIT 值较高、MCU 比例大、MCU 最大位数多, 基本可以断定, DSP 内部的 SRAM 二级缓存是 SiP 器件的单粒子效应最敏感模块。

3) 利用 GEANT4 仿真工具对不同中子能谱辐照的器件进行了仿真, 仿真结果清晰地展现出灵敏区中的二次粒子沉积能量分布情况, 能很好地说明实验现象。

对于本实验所用的 SiP, 其内部的 SRAM 对热中子存在一定的 SEU 敏感性, 进行辐照实验时不能忽略热中子的影响。在设计电路时应着重加强敏感模块的抗辐照能力, 并在制造流程中避免在灵敏区附近引入 ^{10}B 。实验中 SRAM 模块和 BRAM 模块都出现了不同程度的 MCU 现象, 最大翻转位数为 5 位, 这对传统的 EDAC “纠一检二” 加固方法提出了挑战, 应采用新方法减轻多位翻转的影响。

感谢中国散裂中子源工作人员在实验方面对本工作的支持。

参考文献:

- [1] 丁义刚. 空间辐射环境单粒子效应研究[J]. *航天器环境工程*, 2007, 24(5): 283-290.
DING Yigang. Single event effects in space radiation environment[J]. *Spacecraft Environment Engineering*, 2007, 24(5): 283-290(in Chinese).
- [2] RAJKOWSKI T, SAIGNÉ F, NISKANEN K, et al. Comparison of the total ionizing dose sensitivity of a system in package point of load converter using both component-

- and system-level test approaches[J]. *Electronics*, 2021, 10(11): 1235.
- [3] RAJKOWSKI T, SAIGNÉ F, WANG P X. Radiation qualification by means of the system-level testing: Opportunities and limitations[J]. *Electronics*, 2022, 11(3): 378.
- [4] 许振龙, 伍攀峰, 李杰, 等. 一种基于 COTS 器件的 SiP 微系统的抗总剂量效应加固设计与试验评估[J]. *航天器环境工程*, 2022, 39(3): 248-254.
- XU Zhenlong, WU Panfeng, LI Jie, et al. Radiation-hardening design and experimental evaluation for a SiP micro-system based on COTS products[J]. *Spacecraft Environment Engineering*, 2022, 39(3): 248-254(in Chinese).
- [5] ZENG Q, CHEN J, JIN Y. Effect of radiation on reliability of through-silicon via for 3-D packaging systems[J]. *IEEE Transactions on Device and Materials Reliability*, 2017, 17(4): 708-712.
- [6] 柳鑫炜. 星载计算机 SiP 单粒子效应建模与仿真[D]. 西安: 西安电子科技大学, 2020.
- [7] 于全芝, 殷雯, 梁天骄. 中国散裂中子源靶站重要部件的辐照损伤计算与分析[J]. *物理学报*, 2011, 60(5): 052501.
- YU Quanzhi, YIN Wen, LIANG Tianjiao. Calculation and analysis of DPA in the main components of CSNS target station[J]. *Acta Physica Sinica*, 2011, 60(5): 052501(in Chinese).
- [8] 沈飞, 梁泰然, 殷雯. 中国散裂中子源多功能反射谱仪屏蔽设计[J]. *物理学报*, 2014, 63(15): 152801.
- SHEN F, LIANG T R, YIN W, et al. Shielding design of the multi-purpose reflectometer of China spallation neutron source[J]. *Acta Physica Sinica*, 2014, 63(15): 152801(in Chinese).
- [9] 王勋, 张凤祁, 陈伟, 等. 中国散裂中子源在大气中子单粒子效应研究中的应用评估[J]. *物理学报*, 2019, 68(5): 052901.
- WANG Xun, ZHANG Fengqi, CHEN Wei, et al. Application and evaluation of Chinese spallation neutron source in single-event effects testing[J]. *Acta Physica Sinica*, 2019, 68(5): 052901.
- [10] YU Q. Evaluating the broad neutron spectrum of ANIS[J]. *Applied Radiation and Isotopes: Including Data, Instrumentation and Methods for Use in Agriculture, Industry and Medicine*, 2024, 203: 111075.
- [11] 王桂珍, 林东生, 齐超, 等. EEPROM 和 SRAM 瞬时剂量率效应比较[J]. *微电子学*, 2014, 44(4): 510-514.
- WANG Guizhen, LIN Dongsheng, QI Chao, et al. Comparison of transient radiation effect between EEPROM and SRAM[J]. *Microelectronics*, 2014, 44(4): 510-514(in Chinese).
- [12] 何安林, 郭刚, 沈东军, 等. 65 nm 工艺 SRAM 低能质子单粒子翻转错误率预估[J]. *原子能科学技术*, 2019, 53(2): 366-372.
- HE Anlin, GUO Gang, SHEN Dongjun, et al. Error rate prediction of low energy proton induced single event upset for 65 nm SRAM[J]. *Atomic Energy Science and Technology*, 2019, 53(2): 366-372(in Chinese).
- [13] WEULERSSE C, HOUSSANY S, GUIBBAUD N, et al. Contribution of thermal neutrons to soft error rate[J]. *IEEE Transactions on Nuclear Science*, 2018, 65(8): 1851-1857.
- [14] AUDEN E C, QUINN H M, WENDER S A, et al. Thermal neutron-induced single-event upsets in microcontrollers containing boron-10[J]. *IEEE Transactions on Nuclear Science*, 2020, 67(1): 29-37.
- [15] 胡志良, 杨卫涛, 李永宏, 等. 应用中国散裂中子源 9 号束线端研究 65 nm 微控制器大气中子单粒子效应[J]. *物理学报*, 2019, 68(23): 238502.
- HU Zhiliang, YANG Weitao, LI Yonghong, et al. Atmospheric neutron single event effect in 65 nm microcontroller units by using CSNS-BL09[J]. *Acta Physica Sinica*, 2019, 68(23): 238502(in Chinese).
- [16] SRIM 2013 Particle interactions with matter[CP/OL]. <http://www.srim.org/>.
- [17] TONFAT J, KASTENSMIDT F L, ARTOLA L, et al. Analyzing the influence of the angles of incidence on SEU and MBU events induced by low LET heavy ions in a 28-nm SRAM-based FPGA[C]//2016 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS). USA: IEEE, 2016.
- [18] RAO P M B, EBRAHIMI M, SEYYEDI R, et al. Protecting SRAM-based FPGAs against multiple bit upsets using erasure codes[C]//2014 51st ACM/EDAC/IEEE Design Automation Conference (DAC). USA: IEEE, 2014.
- [19] 张战刚, 叶兵, 姬庆刚, 等. 纳米级静态随机存取存储器的 α 粒子软错误机理研究[J]. *物理学报*, 2020, 69(13): 250-258.
- ZHANG Zhangan, YE Bing, JI Qinggang, et al. Mechanisms of alpha particle induced soft errors in nanoscale static random access memories[J]. *Acta Physica Sinica*, 2020, 69(13): 250-258(in Chinese).
- [20] JESD89A J D C S. Measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices[J]. *JEDEC Solid State Technology Association*, 2006, 1(6): 8.

- [21] 张战刚, 刘杰, 侯明东, 等. 各向异性静态随机存储器中的多位翻转分析研究[J]. *原子核物理评论*, 2014, 31(2): 195-200.
- ZHANG Zhangang, LIU Jie, HOU Mingdong, et al. Investigation of multiple-bit upsets in anisotropic SRAM device[J]. *Nuclear Physics Review*, 2014, 31(2): 195-200(in Chinese).
- [22] 贺振江, 刘曦, 王小珂. DDR 存储器单粒子翻转试验及加固设计研究进展[J]. *微电子学与计算机*, 2022, 39(10): 111-117.
- HE Zhenjiang, LIU Xi, WANG Xiaoke. Research progress on single event upset test and hardened design of DDR memory[J]. *Microelectronics & Computer*, 2022, 39(10): 111-117(in Chinese).
- [23] AGOSTINELLI S, ALLISON J, AMAKO K, et al. GEANT4—A simulation toolkit[J]. *Nuclear Instruments and Methods in Physics Research A*, 2003, 506(3): 250-303.
- [24] YANG W T, YIN Q, LI Y, et al. Single-event effects induced by medium-energy protons in 28 nm system-on-chip[J]. *Nuclear Science and Techniques*, 2019, 30(10): 151.
- [25] 张战刚, 雷志锋, 童腾, 等. 14 nm FinFET 和 65 nm 平面工艺静态随机存取存储器中子单粒子翻转对比[J]. *物理学报*, 2020, 69(5): 056101.
- ZHANG Zhangang, LEI Zhifeng, TONG Teng, et al. Comparison of neutron induced single event upsets in 14 nm FinFET and 65 nm planar static random access memory devices[J]. *Acta Physica Sinica*, 2020, 69(5): 056101(in Chinese).